

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-248761

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

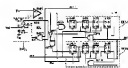
G01R 19/165

H03K 5/08

(21)Application number : 10-053998 (71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 05.03.1998 (72)Inventor : WATANABE SEIJI

(54) VOLTAGE COMPARISON CIRCUIT



(57)Abstract:

PROBLEM TO BE SOLVED: To realize a voltage comparison circuit which can suppress the influence of a noise mixed with an input signal and by which a change in the level of a signal can be detected with high accuracy.

SOLUTION: According to the rise edge or the fall edge at the output signal of a comparator CMP1, a delay circuit DLY1 or DLY2 is operated. Within the delay time of the delay circuit DLY1, a reference-voltage changeover circuit SWC1 holds a voltage for comparison at a common potential VSS. Within the delay time

of the delay circuit DLY2, the reference-voltage changeover circuit SWC1 holds the voltage for comparison at a power-supply voltage VCC. After the delay time of the delay circuit elapses, the voltage for comparison is set again at an initial voltage. As a result, a voltage comparison circuit is endowed with a hysteresis characteristic, the influence of a noise mixed with an input signal V_{in} can be suppressed, and a stable compared result is obtained. In addition, the time delay of an output circuit is eliminated, and the change point of the level of the input signal can be detected precisely.

LEGAL STATUS

[Date of request for examination]	05.03.1998
-----------------------------------	------------

[Date of sending the examiner's decision of rejection]	08.01.2002
--	------------

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3319717
-----------------	---------

[Date of registration]	21.06.2002
------------------------	------------

[Number of appeal against examiner's decision of rejection]	2002-02027
---	------------

[Date of requesting appeal against examiner's decision of rejection]	07.02.2002
--	------------

[Date of extinction of right]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The comparator circuit which compares an input signal with the signal for a comparison, outputs the output signal of the 1st level when the above-mentioned input signal is larger than the above-mentioned signal for a comparison, and outputs the output signal of the 2nd level when the above-mentioned input signal is smaller than the above-mentioned signal for a comparison, The electrical-potential-difference comparator circuit which has the control circuit which considers level of the above-mentioned output signal as predetermined period immobilization when the above-mentioned output signal changes from the 1st level to the 1st level from the 2nd level or 2nd level.

[Claim 2] The 1st detector where, as for the above-mentioned control circuit, the above-mentioned output signal detects having changed from the 1st level to the 2nd level, The 2nd detector which detects that the above-mentioned output signal changed from the 2nd level to the 1st level, It has the timer circuit which measures the above-mentioned predetermined period, and the signal setting circuit for a comparison which sets the level of the above-mentioned signal for a comparison as the 1st reference value, 2nd reference value, or 3rd reference value. The above-mentioned signal for a comparison The electrical-potential-difference comparator circuit according to claim 1 which is set as the 1st reference value of the above, or the 3rd reference value of the above according to the detection result of the 1st detector of the above, or the 2nd detector of the above, and will be set as the 2nd reference value of the above if an account of Gokami predetermined period passes.

[Claim 3] The 1st detector where, as for the above-mentioned control circuit, the above-mentioned output signal detects having changed from the 1st level to the 2nd level, The 2nd detector which detects that the above-mentioned output signal changed from the 2nd level to the 1st level, The timer circuit which measures the 1st time amount and 2nd time amount, and the level of the above-mentioned signal for a comparison The 1st reference value, It has the signal setting circuit for a comparison set as the 2nd reference value or 3rd reference value. The above-mentioned signal for a comparison According to the detection result of the 1st detector of the above, it is set as the 1st reference value of the above. The electrical-potential-difference comparator circuit according to claim 1 which will be set as the 2nd reference value of the above if the 1st time amount of the account of Gokami passes, is set as the 3rd reference value of the above according to the detection result of the 2nd detector of the above, and will be set as the 2nd reference value of the above if the 2nd time amount of the account of Gokami passes.

[Claim 4] It is larger than the 2nd reference value of the above, and, for the 2nd reference value of the above, the 1st reference value of the above is a larger electrical-potential-difference comparator circuit according to claim 2 or 3 than the 3rd reference value of the above.

[Claim 5] The above-mentioned timer circuit is an electrical-potential-difference comparator circuit according to claim 2, 3, or 4 which has the delay circuit which inputs the above-mentioned output signal.

[Claim 6] The above-mentioned delay circuit is an electrical-potential-difference comparator circuit according to claim 5 which has two or more flip-flops connected to the serial.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention can control the effect of a noise with the electrical-potential-difference comparator circuit which can detect the zero cross of a signal, especially a hysteresis characteristic, and relates to the electrical-potential-difference comparator circuit which can avoid malfunction.

[0002]

[Description of the Prior Art] Generally, the electrical-potential-difference comparator circuit which detects the zero cross of an input signal compares the voltage level of an input signal with the voltage level of a predetermined reference signal, and detects the point on which an input signal passes reference signal level by the comparison result.

[0003] Drawing 10 shows the example of a basic configuration of such an electrical-potential-difference comparator circuit. Like illustration, an electrical-potential-difference comparator circuit is a comparator CMP 0 and reference voltage V_{ref} . It is constituted by the voltage source to offer. It is impressed by the inversed input terminal (-) of a comparator CMP 0, and an input signal V_{in} is reference voltage V_{ref} . It is impressed by the non-inversed input terminal (+) of a comparator CMP 0. As shown in drawing 11 (a), level makes an input signal V_{in} the signal changed up and down a core [a predetermined reference value]. Output signal V_0 shown in drawing 11 (b) from a comparator CMP 0 It is

obtained. Thus, output signal V_0 With a level change edge, the time of the level of an input signal V_{in} passing a reference value can be grasped correctly.

[0004] However, when the noise is mixed in the input signal V_{in} , an exact result is not obtained in the electrical-potential-difference comparator circuit shown in drawing 10 . For example, the level of an input signal V_{in} is reference voltage V_{ref} by the effect of the noise currently mixed in the input signal V_{in} as shown in the wave form chart of drawing 12 . When approaching, the level of an input signal V_{in} is reference voltage V_{ref} . Multiple-times passage is carried out, and it responds to this, and is an output signal V_0 . A standup or a falling edge becomes unstable.

[0005] Drawing 13 and drawing 14 are an input signal V_{in} and an output signal V_0 . Near the point changing [level] is expanded and displayed. As shown in drawing 13 (a) and (b), the level of an input signal V_{in} rises, and it is reference voltage V_{ref} . When approaching, signal level sets under the effect of a noise at a predetermined period, and it is reference voltage V_{ref} . It fluctuates. During this period and output signal V_0 Two or more pulses with random width of face will occur. The so-called output signal V_0 A "mustache" arises. In the level of an input signal V_{in} descending and approaching reference voltage V_{ref} , as it shows in drawing 14 (a) and (b), it is an output signal V_0 similarly. A "mustache" will arise.

[0006] Thus, it sets to the simple electrical-potential-difference comparator circuit shown in drawing 10 when a noise mixes in an input signal V_{in} , and is an output signal V_0 . A standup and a falling edge become unstable. In order to solve this problem, the electrical-potential-difference comparator circuit which has the hysteresis characteristic shown in drawing 15 and drawing 16 is proposed.

[0007] Drawing 15 (a) is the circuit diagram showing an example of an electrical-potential-difference comparator circuit with a hysteresis characteristic. Like illustration, it sets to the electrical-potential-difference comparator circuit of this example, and is an output signal V_0 . A resistance element R_3 is minded and it is reference voltage V_{ref} . The hysteresis characteristic is given to the electrical-

potential-difference comparator circuit by making it feed back to a generating circuit.

[0008] Reference voltage V_{ref} It is the partial pressure electrical potential difference produced in two resistance elements R_1 and R_2 connected between supply voltage V_{CC} and the common potential V_{SS} . If the resistance of resistance elements R_1 and R_2 is set to r_1 and r_2 , respectively and common potential V_{SS} is set to 0V here, it is reference voltage V_{ref} . Electrical-potential-difference value v_{ref} It can be found from a degree type.

[0009]

[Equation 1]

$$v_{ref} = V_{CC} - r_2 / (r_1 + r_2) \quad -- (1)$$

[0010] Reference voltage V_{ref} impressed to an input terminal (+) in a comparator CMP 0 as shown in this drawing (c) When level is higher than the level of the input signal V_{in} impressed to an inversed input terminal (-), A high-level signal, for example, the signal of supply voltage V_{CC} level, is outputted. Conversely, reference voltage V_{ref} impressed to an input terminal (+) When level is lower than the level of the input signal V_{in} impressed to an inversed input terminal (-), the signal of a low level, for example, the signal of common potential V_{SS} level, is outputted.

[0011] Output signal V_0 of a comparator CMP 0 Since it is fed back to the node with resistance elements R_1 and R_2 through the resistance element R_3 Here, if a parallel resistance value with resistance elements R_2 and R_3 is set to r_{23} , setting the resistance of a resistance element R_3 to r_3 , and using the parallel resistance value of resistance elements R_1 and R_3 as r_{13} , the level of electrical-potential-difference V_{t+} shown in drawing 15 (b) and V_{t-} will be given by the degree type, respectively.

[0012]

[Equation 2]

$$V_{t+} = V_{CC} - r_2 / (r_{13} + r_2) \quad -- (2)$$

$$V_{t-} = V_{CC} - r_{23} / (r_1 + r_{23}) \quad -- (3)$$

[0013] For example, in the case of ($r_1=r_2=r_3$), it becomes with $V_{t+}=0.67V_{CC}$ and $V_{t-}=0.33V_{CC}$. Thus, the level of an input signal V_{in} is reference voltage V_{ref} . Output signal V_0 high-level from a comparator CMP 0 when lower than level It is outputted. This high-level output signal V_0 Since it is fed back through a resistance element R_3 , electrical-potential-difference V_{t+} shown in a formula (2) is inputted into the input terminal (+) of a comparator CMP 0. When the level of an input signal V_{in} rises and electrical-potential-difference V_{t+} is exceeded, it is the output signal V_0 of a comparator CMP 0. It changes to a low level. According to this, electrical-potential-difference V_{t-} shown in a formula (3) is impressed to the input terminal (+) of a comparator CMP 0. When the level of an input signal V_{in} descends and it becomes below electrical-potential-difference V_{t-} , the output-signal level of a comparator CMP 0 changes again, and changes from a low level high-level.

[0014] Thus, output signal V_0 of a comparator CMP 0 It feeds back, it responds to this and is reference voltage V_{ref} . A hysteresis can be given to an electrical-potential-difference comparator circuit by controlling level.

[0015] Drawing 16 shows other examples of a configuration of an electrical-potential-difference comparator circuit with a hysteresis characteristic. Like illustration, it is an output signal V_0 almost like the electrical-potential-difference comparator circuit shown in drawing 15 in this example. It feeds back, it responds to this and is reference voltage V_{ref} . Level is controlled and the hysteresis characteristic is given to the electrical-potential-difference comparator circuit.

[0016] As shown in this drawing (a), it is reference voltage V_{ref} . It is generated with the resistance elements R_1 , R_2 , and R_3 and the nMOS transistor NT_0 which are connected between supply voltage V_{CC} and the common potential V_{SS} . If the resistance of resistance elements R_1 , R_2 , and R_3 is made into extent to which the nMOS transistor NT_0 can disregard the resistance at the time of an ON state as r_1 , r_2 , and r_3 here, respectively, it responds to ON/OFF state of the nMOS transistor NT_0 , and is reference voltage V_{ref} . Level is called for by the degree type.

[0017]

[Equation 3]

$$V_t = V_{CC} - r_2 / (r_1 + r_2) \quad \text{-- (4)}$$

$$V_{t+} = V_{CC} - (r_2 + r_3) / (r_1 + r_2 + r_3) \quad \text{-- (5)}$$

[0018] Here, V_t is the reference voltage V_{ref} in case the nMOS transistor NT0 is in an ON state. It is the reference voltage V_{ref} in case it is level and V_{t+} has the nMOS transistor NT0 in an OFF state. It is level. Moreover, the relation of ($V_t < V_{t+}$) is materialized between formulas (4) (5).

[0019] For example, the level of an input signal V_{in} is reference voltage V_{ref} . When higher than level, it is the high-level signal V_0 from the output terminal of comparator CMP0'. It is outputted. According to this, a transistor NT0 is held at an ON state, and it is reference voltage V_{ref} . It is held at V_t -level shown in a formula (4). On the other hand, the level of an input signal V_{in} is reference voltage V_{ref} . When lower than level, it is signal $V_{₀}$ of the output terminal of comparator CMP0' to a low level. It is outputted. According to this, a transistor NT0 is held at an OFF state, and it is reference voltage V_{ref} . It is held at V_{t+} level shown in a formula (5). Thus, output signal V_0 of comparator CMP0' By feeding back, a hysteresis characteristic can be given to an electrical-potential-difference comparator circuit, and it is possible to control the effect of a noise.

[0020] (c) and this drawing (d) of drawing 13 are the output signal V_0 when the input signal V_{in} which the noise mixed in the electrical-potential-difference comparator circuit with a hysteresis characteristic inputs. The wave is shown. Like illustration, the level of an input signal V_{in} rises and it is reference voltage V_{ref} . When level is exceeded, it is an output signal V_0 . The level variation level changes, and the reference voltage inputted into a comparator according to this serves as V_t -level, and according to the noise of the input signal V_{in} after it is an output signal V_0 . Doing effect is lost. Similarly, the level of an input signal V_{in} descends and it is reference voltage V_{ref} . The wave of the I/O signal when becoming lower than level is shown in drawing 14 (c) and this drawing (d). Like illustration, the level of an input signal V_{in} is reference voltage V_{ref} . When it

becomes low, it is an output signal V_0 . Level changes and the reference voltage inputted into a comparator serves as V_{t+} level according to this. For this reason, the effect by the noise of the input signal after it is controlled.

[0021]

[Problem(s) to be Solved by the Invention] By the way, it sets to an electrical-potential-difference comparator circuit with the conventional hysteresis characteristic mentioned above, and, for the point of the output signal of a comparator changing [level], the actual input signal V_{in} is reference voltage V_{ref} . Delay of Δt arises from the time of passing. For this reason, there is disadvantageous profit that it cannot be used, to the application circuit which thinks time amount and a phase as important.

[0022] This invention is made in view of this situation, an input signal can detect correctly the time amount which reaches predetermined reference voltage (electrical potential difference for a comparison), and can control the effect of the noise mixed in the input signal concerned, and the purpose is in offering a detectable electrical-potential-difference comparator circuit with high precision about level change of a signal.

[0023]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the electrical-potential-difference comparator circuit of this invention The comparator circuit which compares an input signal with the signal for a comparison, outputs the output signal of the 1st level when the above-mentioned input signal is larger than the above-mentioned signal for a comparison, and outputs the output signal of the 2nd level when the above-mentioned input signal is smaller than the above-mentioned signal for a comparison, When the above-mentioned output signal changes from the 1st level to the 1st level from the 2nd level or 2nd level, it has the control circuit which considers level of the above-mentioned output signal as predetermined period immobilization.

[0024] In this invention, suitably moreover, the above-mentioned control circuit The 1st detector which detects that the above-mentioned output signal changed

from the 1st level to the 2nd level, The 2nd detector which detects that the above-mentioned output signal changed from the 2nd level to the 1st level, It has the timer circuit which measures the above-mentioned predetermined period, and the signal setting circuit for a comparison which sets the level of the above-mentioned signal for a comparison as the 1st reference value, 2nd reference value, or 3rd reference value. The above-mentioned signal for a comparison According to the detection result of the 1st detector of the above, or the 2nd detector of the above, it is set as the 1st reference value of the above, or the 3rd reference value of the above, and if an account of Gokami predetermined period passes, it will be set as the 2nd reference value of the above.

[0025] In this invention, suitably moreover, the above-mentioned control circuit The 1st detector which detects that the above-mentioned output signal changed from the 1st level to the 2nd level, The 2nd detector which detects that the above-mentioned output signal changed from the 2nd level to the 1st level, The timer circuit which measures the 1st time amount and 2nd time amount, and the level of the above-mentioned signal for a comparison The 1st reference value, It has the signal setting circuit for a comparison set as the 2nd reference value or 3rd reference value. The above-mentioned signal for a comparison According to the detection result of the 1st detector of the above, it is set as the 1st reference value of the above. If the 1st time amount of the account of Gokami passes, it will be set as the 2nd reference value of the above, according to the detection result of the 2nd detector of the above, it is set as the 3rd reference value of the above, and if the 2nd time amount of the account of Gokami passes, it will be set as the 2nd reference value of the above.

[0026] Furthermore, in this invention, the above-mentioned timer circuit has suitably the delay circuit which inputs the above-mentioned output signal.

[0027] Furthermore, in this invention, the above-mentioned delay circuit has suitably two or more flip-flops connected to the serial.

[0028] According to this invention, the input signal and the signal for a comparison from the signal setting circuit for a comparison which the noise is

mixing are compared by the comparator circuit (comparator), and the output signal which has the 1st or 2nd level according to the comparison result is generated. When the level of the output signal outputted from the above-mentioned comparator changes, after a control circuit sets the signal for a comparison as the 1st or 3rd different reference value from initial value (the 2nd reference value) by the time delay to which only the predetermined period was set by the delay circuit and the time delay concerned passes, the signal for a comparison is again set as initial value (the 2nd reference value). A hysteresis characteristic will be given to an electrical-potential-difference comparator circuit by this, the effect of the noise mixed in the input signal can be controlled by it, and it becomes possible to detect the point of an input signal changing [level] correctly.

[0029]

[Embodiment of the Invention] 1st operation gestalt drawing 1 is the circuit diagram showing the 1st operation gestalt of the electrical-potential-difference comparator circuit concerning this invention. Like illustration, the electrical-potential-difference comparator circuit of this operation gestalt is constituted by a comparator CMP 1, the reference voltage change circuit SWC1, and delay circuits DLY1 and DLY2.

[0030] The signal V_{in} used as the candidate for a comparison is inputted into the non-inversed input terminal (+) of a comparator CMP 1, and the electrical potential difference for a comparison from the reference voltage change circuit SWC1 is inputted into an inversed input terminal (-). A comparator CMP 1 is the signal V_0 which compares the level of an input signal V_{in} with the level of the electrical potential difference for a comparison, and has predetermined level according to a comparison result. It outputs. For example, when the level of an input signal V_{in} is higher than the level of the electrical potential difference for a comparison, the signal of high level, for example, supply voltage VCC level, is outputted, and when the level of an input signal V_{in} is lower than the level of the electrical potential difference for a comparison, the signal of a low level, for

example, common potential VSS level, is outputted conversely.

[0031] The reference voltage change circuit SWC1 is constituted by switches S1, S2, and S3 like illustration. The electrical potential difference which has the level of v_{ref} in the reference voltage change circuit SWC1 from the exterior is inputted. A switch S1 is an electrical potential difference v_{ref} . It connects with an input terminal between nodes ND 1, and a switch S2 is connected between the common potential VSS and a node ND 1, and the switch S3 is connected between supply voltage VCC and a node ND 1. ON/OFF state is controlled by the switch control signal SC 0 from the NOR gate NRG1, ON/OFF state is controlled by the switch control signal SC 1 from a delay circuit DLY1, and, as for a switch S1, ON/OFF state is controlled for a switch S2 by the switch control signal SC 2 from a delay circuit DLY2, as for a switch S3. The switch control signals SC1 and SC2 are inputted into two input terminals of the NOR gate NRG1, respectively, and the switch control signal SC 0 is generated according to these control signals.

[0032] At the time of circuit actuation, according to the switch control signals SC1, SC2, and SC3, only one of switches S1, S2, and S3 is set as an ON state, and other two are held at an OFF state. When the switch S1 is set as the ON state, it is reference voltage v_{ref} . When it is outputted to a node ND 1 and the switch S2 is set as the ON state, the common potential VSS is outputted to a node ND 1, and when the switch S3 is set as the ON state, supply voltage VCC is outputted to a node ND 1. The electrical potential difference of a node ND 1 is inputted into the inversed input terminal (-) of a comparator CMP 1 as an electrical potential difference for a comparison.

[0033] Delay circuits DLY1 and DLY2 are the output signals V0 of a comparator CMP 1, respectively. A predetermined time delay is given to a rising edge and a falling edge. Delay circuits DLY1 and DLY2 output the switch control signals SC1 and SC2 according to each time delay.

[0034] The delay circuit DLY1 is constituted by D-flip-flop D-FF1, D-FF2, D-FF3 and D-FF4, and the pan by the AND gate AGT3. Supply voltage VCC is

impressed to the signal input terminal D of D-flip-flop D-FF1, and the output terminal Q is connected to the signal input terminal D of D-flip-flop D-FF2. The switch control signal SC 1 is outputted from the output terminal Q of D-flip-flop D-FF1. The output signal of the AND gate AGT1 is impressed to the clock input terminal of D-flip-flop D-FF1. One input terminal of the AND gate AGT1 is connected to the output terminal of a comparator CMP 1, and the input terminal of another side is connected to the reversal output terminal Qz of D-flip-flop D-FF5 of a delay circuit DLY2.

[0035] The output terminal Q of D-flip-flop D-FF2 is connected to the input terminal D of D-flip-flop D-FF3, and the output terminal Q of D-flip-flop D-FF3 is connected to the input terminal D of D-flip-flop D-FF4. The clock signal CLK is inputted into the clock input terminal of D-flip-flop D-FF2, D-FF3, and D-FF4. Furthermore, the reset-signal terminal of D-flip-flop D-FF1, D-FF2, and D-FF3 is connected to the output terminal of the AND gate AGT3, and the reset-signal terminal of D-flip-flop D-FF4 is connected to the input terminal of a reset signal RST. One input terminal of the AND gate AGT3 is connected to the input terminal of a reset signal RST, and the input terminal of another side is connected to the reversal output terminal Qz of D-flip-flop D-FF4.

[0036] The delay circuit DLY2 is constituted by D-flip-flop D-FF5, D-FF6, D-FF7 and D-FF8, and the pan by the AND gate AGT4. Supply voltage VCC is impressed to the signal input terminal D of D-flip-flop D-FF5, and the output terminal Q is connected to the signal input terminal D of D-flip-flop D-FF6. The switch control signal SC 2 is outputted from the output terminal Q of D-flip-flop D-FF5. The output signal of the AND gate AGT2 is impressed to the clock input terminal of D-flip-flop D-FF5. One input terminal of the AND gate AGT2 is connected to the output terminal of an inverter 1, and the input terminal of an inverter INV1 is connected to the output terminal of a comparator CMP 1. The input terminal of another side of the AND gate AGT2 is connected to the reversal output terminal Qz of D-flip-flop D-FF1 of a delay circuit DLY1.

[0037] The output terminal Q of D-flip-flop D-FF6 is connected to the input

terminal D of D-flip-flop D-FF7, and the output terminal Q of D-flip-flop D-FF7 is connected to the input terminal D of D-flip-flop D-FF8. The clock signal CLK is inputted into the clock input terminal of D-flip-flop D-FF6, D-FF7, and D-FF8. Furthermore, the reset-signal terminal of D-flip-flop D-FF5, D-FF6, and D-FF7 is connected to the output terminal of the AND gate AGT4, and the reset-signal terminal of D-flip-flop D-FF8 is connected to the input terminal of a reset signal RST. One input terminal of the AND gate AGT4 is connected to the input terminal of a reset signal RST, and the input terminal of another side is connected to the reversal output terminal Qz of D-flip-flop D-FF8.

[0038] Drawing 2 is a wave form chart for explaining actuation of this operation gestalt. Hereafter, actuation of the electrical-potential-difference comparator circuit of this operation gestalt is explained, referring to drawing 1 and drawing 2. First, a reset signal RST is set as a low level in predetermined time amount before initiation of operation. Since the output signal of the AND gates AGT3 and AGT4 is held in the same time amount at a low level according to this, all D-flip-flop D-FF1 in delay circuits DLY1 and DLY2 - D-FF4, and D-FF5 - D-FF8 are reset, each output terminal Q is held at a low level, and the reversal output terminal Qz is held high-level.

[0039] That is, in an initial state, both the switch control signals SC1 and SC2 are held at a low level, and the output signal SC 0 of the NOR gate NRGT1, i.e., a switch control signal, is held high-level according to this. Consequently, in the reference voltage change circuit SWC1, only a switch S1 is held at an ON state, and both other switches S2 and S3 are held at an OFF state. At this time, it is an electrical potential difference vref. A comparator CMP 1 is supplied as an electrical potential difference for a comparison.

[0040] An input signal Vin is compared with the electrical potential difference for a comparison (electrical potential difference Vref) in a comparator CMP 1. As shown in drawing 2, it is time amount t0. The level of an input signal Vin reaches the electrical potential difference for a comparison (electrical potential difference Vref). According to this, the output signal V0 of a comparator CMP 1 changes

from a low level high-level. For this reason, in drawing 1 , the output signal of the AND gate AGT1 changes from a low level high-level, and the output terminal Q of D-flip-flop D-FF1 changes from a low level high-level. That is, since the switch control signal SC 1 changes from a low level high-level, the output signal SC 0 of the NOR gate NRGT1, i.e., a switch control signal, changes from high level to a low level.

[0041] At this time, in the reference voltage change circuit SWC1, a switch S1 changes from an ON state to an OFF state, and a switch S2 changes from an OFF state to an ON state. In addition, the condition of a switch S3 does not change but is held with an OFF state. In this condition, the common potential VSS is outputted to a comparator CMP 1 as an electrical potential difference for a comparison.

[0042] In the rising edge of a clock signal CLK, the output terminal Q of D-flip-flop D-FF2 changes from a low level high-level, and the output terminal of D-flip-flop D-FF3 also changes from a low level high-level in the rising edge of the following clock signal CLK. Furthermore, in the rising edge of the following clock signal CLK, the output terminal of D-flip-flop D-FF4 also changes from a low level high-level, and the reversal output terminal Qz of D-flip-flop D-FF4 changes from high level to a low level according to this.

[0043] Since the output signal of the AND gate AGT3 changes from high level to a low level according to level change of the reversal output terminal Qz of D-flip-flop D-FF4, D-flip-flop D-FF1, D-FF2, and D-FF3 are reset. According to this, the switch control signal SC 1 changes from high level to a low level, and starts high-level [the output signal SC 0 of the NOR gate NRGT1, i.e., a switch control signal,] from a low level.

[0044] At this time, in the reference voltage change circuit SWC1, a switch S2 changes from an ON state to an OFF state, and a switch S1 changes from an OFF state to an ON state. In addition, the condition of a switch S3 does not change but is held with an OFF state. It sets in this condition and is an electrical potential difference vref. A comparator CMP 1 is again supplied as an electrical

potential difference for a comparison.

[0045] After D-flip-flop D-FF1, D-FF2, and D-FF3 are reset, in the rising edge of the following clock signal CLK, D-flip-flop D-FF4 is also reset, and the reversal output terminal Qz changes from a low level high-level.

[0046] Subsequently, as shown in drawing 2, it is time amount t1. It sets, the level of an input signal Vin descends, and the level of the electrical potential difference for a comparison (electrical potential difference Vref) is reached. It responds to this and is the output signal V0 of a comparator CMP 1. It changes from high level to a low level. For this reason, in drawing 1, the output signal of the AND gate AGT2 changes from a low level high-level, and the output terminal Q of D-flip-flop D-FF5 changes from a low level high-level. That is, since the switch control signal SC 2 changes from a low level high-level, the output signal SC 0 of the NOR gate NRGT1, i.e., a switch control signal, changes from high level to a low level.

[0047] At this time, in the reference voltage change circuit SWC1, a switch S1 changes from an ON state to an OFF state, and a switch S3 changes from an OFF state to an ON state. In addition, the condition of a switch S2 does not change but is held with an OFF state. In this condition, supply voltage VCC is outputted to a comparator CMP 1 as an electrical potential difference for a comparison.

[0048] And in the rising edge of a clock signal CLK, the output terminal Q of D-flip-flop D-FF6 changes from a low level high-level, and the output terminal of D-flip-flop D-FF7 also changes from a low level high-level in the rising edge of the following clock signal CLK. Furthermore, in the rising edge of the following clock signal CLK, the output terminal of D-flip-flop D-FF8 also changes from a low level high-level, and the reversal output terminal Qz of D-flip-flop D-FF8 changes from high level to a low level according to this.

[0049] Since the output signal of the AND gate AGT4 changes from high level to a low level according to level change of the reversal output terminal Qz of D-flip-flop D-FF8, according to it, D-flip-flop D-FF5, D-FF6, and D-FF7 are reset.

According to this, the switch control signal SC 2 changes from high level to a low level, and starts high-level [the output signal SC 0 of the NOR gate NRGT1, i.e., a switch control signal,] from a low level.

[0050] At this time, in the reference voltage change circuit SWC1, a switch S3 changes from an ON state to an OFF state, and a switch S1 changes from an OFF state to an ON state. In addition, the condition of a switch S2 does not change but is held with an OFF state. It sets in this condition and is an electrical potential difference v_{ref} . A comparator CMP 1 is supplied as an electrical potential difference for a comparison.

[0051] After D-flip-flop D-FF5, D-FF6, and D-FF7 are reset, in the rising edge of the following clock signal CLK, D-flip-flop D-FF8 is also reset, and the reversal output terminal Qz changes from a low level high-level.

[0052] Thus, when the level of an input signal V_{in} exceeds the level of the electrical potential difference for a comparison (electrical potential difference V_{ref}), it is reference voltage V_{ref} by the reference voltage change circuit SWC1. It is set as common potential VSS level, the electrical potential difference for a comparison is held by the delay circuit DLY1 in the time amount for about 3 periods of a clock signal CLK at the common potential VSS, and it is initial value v_{ref} again after that. It is set up. Similarly, when the level of an input signal V_{in} becomes lower than the level of the electrical potential difference for a comparison (electrical potential difference V_{ref}), the electrical potential difference for a comparison is set as supply voltage VCC level, and the electrical potential difference for a comparison is held by the delay circuit DLY2 in the time amount for about 3 periods of a clock signal CLK at supply voltage VCC, and it is initial value v_{ref} again after that. It is set up.

[0053] According to this operation gestalt, as explained above, according to the standup or falling edge of an output signal of a comparator CMP 1, delay circuits DLY1 or DLY2 are operated, the reference voltage change circuit SWC1 holds the electrical potential difference for a comparison to the common potential VSS in the time delay of a delay circuit DLY1, and the reference voltage change circuit

SWC1 holds the electrical potential difference for a comparison to supply voltage VCC in the time delay of a delay circuit DLY2. After the time delay of a delay circuit passes, since the reference voltage change circuit SWC1 sets the electrical potential difference for a comparison as initial value (electrical potential difference V_{ref}) again, a hysteresis characteristic is given to an electrical-potential-difference comparator circuit, the effect of the noise mixed in the input signal V_{in} can be controlled, and the stable comparison result is obtained. Furthermore, after the level of an output signal changes, it is possible to detect correctly the point that delay of an output signal is avoided and an input signal passes a predetermined reference value changing [level], after predetermined time amount, since initial value (electrical potential difference V_{ref}) resets the electrical potential difference for a comparison.

[0054] In addition, in the example of a circuit shown in drawing 1, although delay circuits DLY1 and DLY2 are constituted by four steps of D flip-flops, respectively, this invention is not limited to this and they can set it up according to the frequency of an input signal V_{in} and a clock signal CLK based on a time delay required in order to reduce the effect according the number of stages of the D flip-flop which constitutes a delay circuit to a noise. Furthermore, it is also possible to set up so that the time delay of the delay circuits DLY1 and DLY2 which operate according to the rising edge and falling edge of an output signal of a comparator if needed to arbitration may be differed.

[0055] 2nd operation gestalt drawing 3 is the circuit diagram showing the 2nd operation gestalt of the electrical-potential-difference comparator circuit concerning this invention. In the electrical-potential-difference comparator circuit of this operation gestalt, although the comparator CMP 1 and the reference voltage change circuit SWC1 are almost the same as the 1st operation gestalt of this invention shown in drawing 1, other components differ from the 1st operation gestalt. In drawing 3, the same component as drawing 1 is written using the same sign as drawing 1.

[0056] Setting to the electrical-potential-difference comparator circuit shown in

drawing 3 , the AND gate AGT1 and D-flip-flop D-FF1 are the output signal V0 of a comparator CMP 1. Constituting the 1st edge detector which detects a rising edge, an inverter INV1, the AND gate AGT2, and D-flip-flop D-FF5 are the output signal V0 of a comparator CMP 1. The 2nd edge detector which detects a falling edge is constituted. Like illustration, in this operation gestalt, only one delay circuit DLY0 is formed and a predetermined time delay is given to both the rising edge of a comparator CMP 1, and a falling edge.

[0057] In the 1st edge detector, one input terminal of the AND gate AGT1 is connected to the output terminal of a comparator CMP 1, and the input terminal of another side is connected to the reversal output terminal Qz of D-flip-flop D-FF5 which constitutes the 2nd edge detector. The output terminal of the AND gate AGT1 is connected to the clock input terminal of D-flip-flop D-FF1. The switch control signal SC 1 is outputted from the output terminal Q of D-flip-flop D-FF1.

[0058] In the 2nd edge detector, the input terminal of an inverter INV1 is connected to the output terminal of a comparator CMP 1, one input terminal of the AND gate AGT2 is connected to the output terminal of an inverter INV1, and the input terminal of another side is connected to the reversal output terminal Qz of D-flip-flop D-FF1 which constitutes the 1st edge detector. The output terminal of the AND gate AGT2 is connected to the clock input terminal of D-flip-flop D-FF5. The switch control signal SC 2 is outputted from the output terminal Q of D-flip-flop D-FF5.

[0059] The 1st edge detector is the output signal V0 of a comparator CMP 1. A rising edge is detected. Namely, output signal V0 According to a rising edge, the output terminal Q of D-flip-flop D-FF1 is changed from a low level high-level. And in the time delay of a delay circuit DLY0, the output terminal Q of D-flip-flop D-FF1 becomes [being held with as high-level, and]. In addition, since the reversal output terminal Qz of D-flip-flop D-FF1 is held in the meantime at a low level, the output terminal of the AND gate AGT2 is also held at a low level, and the 2nd edge detector does not operate.

[0060] The 2nd edge detector is the output signal V0 of a comparator CMP 1. A falling edge is detected. Namely, output signal V0 According to a falling edge, the output terminal Q of D-flip-flop D-FF5 is changed from a low level high-level. And in the time delay of a delay circuit DLY0, the output terminal Q of D-flip-flop D-FF5 becomes [being held with as high-level, and]. Since the reversal output terminal Qz of D-flip-flop D-FF5 is held in the meantime at a low level, the output terminal of the AND gate AGT1 is also held at a low level, and the 1st edge detector does not operate.

[0061] Thus, the 1st and 2nd edge detectors can forbid actuation of another side, when one side operates. It is possible to control the effect of the noise which could prevent malfunction of an edge detector and was mixed in the input signal Vin of a comparator CMP 1 by this.

[0062] The delay circuit DLY0 is constituted by the OR gate OGT1, the AND gate AGT5 and D-flip-flop D-FF2, D-FF3, and D-FF4. Two input terminals of the OR gate OGT1 are connected to the output terminal Q of D-flip-flop D-FF1 and D-FF5, respectively, and the output terminal is connected to the input terminal D of D-flip-flop D-FF2. The output terminal Q of D-flip-flop D-FF2 is connected to the input terminal D of D-flip-flop D-FF3, and the output terminal Q is connected to the input terminal D of D-flip-flop D-FF4.

[0063] One input terminal of the AND gate AGT5 is connected to the input terminal of a reset signal RST, and the input terminal of another side is connected to the reversal output terminal Qz of D-flip-flop D-FF4. The output terminal of the AND gate AGT5 is connected to the reset-signal terminal of D-flip-flop D-FF1, D-FF2, D-FF3, and D-FF5.

[0064] Drawing 4 is a wave form chart for explaining actuation of the electrical-potential-difference comparator circuit of this operation gestalt. Hereafter, actuation of this operation gestalt is explained, referring to drawing 3 and drawing 4 . First, a reset signal RST is set as a low level in predetermined time amount before initiation of operation. Since the output signal of the AND gate AGT5 is also held in the almost same time amount at a low level according to this, D-flip-

flop D-FF1 and D-FF5 which constitute all D-flip-flop D-FF2 - D-FF4, and the 1st and 2nd edge detector in a delay circuit DLY0 are reset, each output terminal Q is held at a low level, and the reversal output terminal Qz is held high-level.

[0065] That is, in the initial state, since both the switch control signals SC1 and SC2 are held at a low level and the output signal SC 0 of the NOR gate NRG1, i.e., a switch control signal, is held high-level according to this, in the reference voltage change circuit SWC1, only a switch S1 is held at an ON state, and both other switches S2 and S3 are held at the OFF state. At this time, it is an electrical potential difference v_{ref} . A comparator CMP 1 is supplied as an electrical potential difference for a comparison.

[0066] An input signal V_{in} is compared with the electrical potential difference for a comparison (electrical potential difference V_{ref}) in a comparator CMP 1. As shown in drawing 4, it is time amount t_0 . The level of an input signal V_{in} reaches the level of the electrical potential difference for a comparison (electrical potential difference V_{ref}). It responds to this and is the output signal V_0 of a comparator CMP 1. It changes from a low level high-level. For this reason, the output signal of the AND gate AGT1 changes from a low level high-level, and the output terminal Q of D-flip-flop D-FF1 changes from a low level high-level. That is, since the rising edge of the output signal of a comparator CMP 1 is detected by the 1st edge detector and the switch control signal SC 1 changes from a low level high-level according to it by it, the output signal SC 0 of the NOR gate NRG1, i.e., a switch control signal, changes from high level to a low level.

[0067] At this time, in the reference voltage change circuit SWC1, a switch S1 changes from an ON state to an OFF state, and a switch S2 changes from an OFF state to an ON state. In addition, the condition of a switch S3 does not change but is held with an OFF state. In this condition, the common potential VSS is outputted to a comparator CMP 1 as an electrical potential difference for a comparison.

[0068] According to the output signal of D-flip-flop D-FF1, the output signal of the OR gate OGT1 is held high-level. After that, in the rising edge of a clock signal

CLK, the output terminal Q of D-flip-flop D-FF2 changes from a low level high-level, and the output terminal of D-flip-flop D-FF3 also changes from a low level high-level in the rising edge of the following clock signal CLK. Furthermore, in the rising edge of the following clock signal CLK, the output terminal of D-flip-flop D-FF4 also changes from a low level high-level, and the reversal output terminal Qz of D-flip-flop D-FF4 changes from high level to a low level according to this.

[0069] Since the output signal of the AND gate AGT5 changes from high level to a low level according to level change of the reversal output terminal Qz of D-flip-flop D-FF4, D-flip-flop D-FF1, D-FF2, and D-FF3 are reset. According to this, the switch control signal SC 1 is changed from high level to a low level, and starts high-level [the output signal SC 0 of the NOR gate NRGT1, i.e., a switch control signal] from a low level.

[0070] At this time, in the reference voltage change circuit SWC1, a switch S2 changes from an ON state to an OFF state, and a switch S1 changes from an OFF state to an ON state. In addition, the condition of a switch S3 does not change but is held with an OFF state. It sets in this condition and is an electrical potential difference vref. A comparator CMP 1 is supplied as an electrical potential difference for a comparison.

[0071] In a delay circuit DLY0, after D-flip-flop D-FF2 and D-FF3 are reset, in the rising edge of the following clock signal CLK, D-flip-flop D-FF4 is also reset, and the reversal output terminal Qz changes from a low level high-level.

[0072] Subsequently, as shown in drawing 4 , it is time amount t1. It sets, the level of an input signal Vin descends, and the level of the electrical potential difference for a comparison (electrical potential difference Vref) is reached. It responds to this and is the output signal V0 of a comparator CMP 1. It changes from high level to a low level. For this reason, in drawing 3 , the output signal of the AND gate AGT2 changes from a low level high-level, and the output terminal Q of D-flip-flop D-FF5 changes from a low level high-level. That is, since the falling edge of the output signal of a comparator CMP 1 is detected by the 2nd edge detector and the switch control signal SC 2 changes from a low level high-

level according to it by it, the output signal SC 0 of the NOR gate NRGT1, i.e., a switch control signal, changes from high level to a low level.

[0073] At this time, in the reference voltage change circuit SWC1, a switch S1 changes from an ON state to an OFF state, and a switch S3 changes from an OFF state to an ON state. In addition, the condition of a switch S2 does not change but is held with an OFF state. In this condition, supply voltage VCC is outputted to a comparator CMP 1 as an electrical potential difference for a comparison.

[0074] According to the output signal of D-flip-flop D-FF5, the output signal of the OR gate OGT1 is held high-level. Then, in the rising edge of a clock signal CLK, the output terminal Q of D-flip-flop D-FF2 changes from a low level high-level, and the output terminal of D-flip-flop D-FF3 also changes from a low level high-level in the rising edge of the following clock signal CLK. Furthermore, in the rising edge of the following clock signal CLK, the output terminal of D-flip-flop D-FF4 also changes from a low level high-level, and the reversal output terminal Qz of D-flip-flop D-FF4 changes from high level to a low level according to this.

[0075] Since the output signal of the AND gate AGT5 changes from high level to a low level according to level change of the reversal output terminal Qz of D-flip-flop D-FF4, D-flip-flop D-FF5, D-FF2, and D-FF3 are reset. According to this, the switch control signal SC 2 is changed from high level to a low level, and starts high-level [the output signal SC 0 of the NOR gate NRGT1, i.e., a switch control signal] from a low level.

[0076] At this time, in the reference voltage change circuit SWC1, a switch S3 changes from an ON state to an OFF state, and a switch S1 changes from an OFF state to an ON state. In addition, the condition of a switch S2 does not change but is held with an OFF state. It sets in this condition and is an electrical potential difference vref. A comparator CMP 1 is supplied as an electrical potential difference for a comparison.

[0077] In a delay circuit DLY0, after D-flip-flop D-FF2 and D-FF3 are reset, in the rising edge of the following clock signal CLK, D-flip-flop D-FF4 is also reset, and

the reversal output terminal Qz changes from a low level high-level.

[0078] According to [as explained above] this operation gestalt, a comparator CMP 1 compares an input signal Vin with the electrical potential difference for a comparison set up in the reference voltage change circuit SWC1, and it is a signal V0 as a comparison result. It outputs. The 1st and 2nd edge detectors are output signals V0, respectively. Since detect a standup and a falling edge, a delay circuit DLY0 operates according to a detecting signal, the reference voltage change circuit SWC1 is further controlled according to the output signal of an edge detector and the level of the electrical potential difference for a comparison is set up, a hysteresis characteristic is given to an electrical-potential-difference comparator circuit, the effect of the noise mixed in the input signal Vin can be controlled, and the stable comparison result is obtained. Furthermore, the time delay of an output signal is avoided and the point of an input signal Vin changing [level] can be detected correctly. Moreover, since this operation gestalt has one delay circuit compared with the 1st operation gestalt mentioned above, circuitry is simplified and it can aim at contraction of layout area.

[0079] In addition, the number of stages of the D flip-flop which constitutes a delay circuit DLY0 can be set as arbitration according to the frequency of an input signal Vin and a clock signal CLK based on a time delay required in order to reduce the effect by the noise, without being limited to three steps illustrated to drawing 3 .

[0080] 3rd operation gestalt drawing 5 is the circuit diagram showing the 3rd operation gestalt of the electrical-potential-difference comparator circuit concerning this invention. Like illustration, the electrical-potential-difference comparator circuit of this operation gestalt is constituted by a comparator CMP 1, the reference voltage change circuit SWC2, delay circuit DLY1a, and DLY2a.

[0081] A comparator CMP 1 is the signal V0 which is the same as that of the comparator CMP 1 in the 1st of this invention and the 2nd operation gestalt which were mentioned above, compares the input signal Vin impressed to an input terminal (+) with the electrical potential difference for a comparison

impressed to an inversed input terminal (-), and has predetermined level according to a comparison result. It outputs. For example, when the level of an input signal V_{in} is higher than the level of the electrical potential difference for a comparison, the signal of supply voltage VCC level is outputted, and when the level of an input signal V_{in} is lower than the level of the electrical potential difference for a comparison, the signal of common potential VSS level is outputted conversely.

[0082] The reference voltage change circuit SWC2 is constituted by resistance elements R1 and R2, the pMOS transistor PT 1, and the nMOS transistor NT1 like illustration. Resistance elements R1 and R2 are connected to the serial between supply voltage VCC and the common potential VSS, and the electrical potential difference of the connection node ND 2 is supplied to a comparator CMP 1 as an electrical potential difference for a comparison. The source of the pMOS transistor PT 1 is connected to supply voltage VCC, a drain is connected to a node ND 2 and the change signal SP 1 from delay circuit DLY2a is impressed to the gate. The drain of the nMOS transistor NT1 is connected to a node ND 2, the source is connected to the common potential VSS and the change signal SP 2 from delay circuit DLY1a is impressed to the gate.

[0083] Delay circuit DLY1a and DLY2a are constituted by monostable multivibrators OS1 and OS2 like illustration. An output signal Q starts according to the rising edge of the input signal impressed to the falling edge or input terminal B of an input signal with which these monostable multivibrators OS1 and OS2 are impressed to an input terminal A. According to the time constant set up by the resistance element and the capacitor, an output terminal Q is once held high-level, and an output terminal Q falls after that and it is held at a low level.

[0084] For this reason, time delay Δt_1 of delay circuit DLY1a is determined by the value of a resistance element R3 and a capacitor C1, and is the time delay Δt_2 of delay circuit DLY2a. It is determined by the value of a resistance element R4 and a capacitor C2. The time delay Δt_1 of delay circuit DLY1a and DLY2a, and Δt_2 is set up according to the frequency of an input signal

Vin etc. in addition, the need -- responding -- the time delay Δt_1 of delay circuit DLY1a and DLY2a, and Δt_2 It cannot be overemphasized that it can set up equally.

[0085] The input terminal A of monostable-multivibrator OS1 is connected to the common potential VSS, and the input terminal B is connected to the output terminal of the AND gate AGT1. One input terminal of the AND gate AGT1 is connected to the output terminal of a comparator CMP 1, and the input terminal of another side is connected to the reversal output terminal Qz of monostable-multivibrator OS2. It changes from the output terminal Q of monostable-multivibrator OS1, a signal SP 2 is outputted, and the change signal SP 2 is impressed to the gate of the nMOS transistor NT1 of the reference voltage change circuit SWC2.

[0086] The input terminal A of monostable-multivibrator OS2 is connected to the output terminal of the AND gate AGT2, and the input terminal B is connected to supply voltage VCC. One input terminal of the AND gate AGT2 is connected to the output terminal of an inverter INV1, and the input terminal of another side is connected to the reversal output terminal Qz of monostable-multivibrator OS1. The input terminal of an inverter INV1 is connected to the output terminal of a comparator CMP 1. It changes from the reversal output terminal Qz of monostable-multivibrator OS2, a signal SP 1 is outputted, and the change signal SP 1 is impressed to the gate of the pMOS transistor PT 1 of the reference voltage change circuit SWC2.

[0087] The reset-signal terminal of monostable multivibrators OS1 and OS2 is connected to the input terminal of a reset signal RST. Since a reset signal RST is set as a low level in predetermined time amount when an electrical-potential-difference comparator circuit starts actuation, according to this, monostable multivibrators OS1 and OS2 are reset, an output terminal Q is held at a low level, and the reversal output terminal Qz is held high-level.

[0088] The AND gate AGT1 is the output signal V0 of a comparator CMP 1. Constituting the 1st edge detector which detects a rising edge, an inverter INV1

and the AND gate AGT2 are an output signal V0. The 2nd edge detector which detects a falling edge is constituted.

[0089] Drawing 6 is the wave form chart showing actuation of this operation gestalt. Hereafter, actuation of this operation gestalt is explained, referring to drawing 5 and drawing 6. As shown in drawing 6, it is the output signal V0 of a comparator CMP 1 as an initial state. It is held at a low level, and monostable multivibrators OS1 and OS2 are reset by the reset signal RST, and the reversal output terminal Qz of a low level and monostable-multivibrator OS2 is held for the output terminal Q of monostable-multivibrator OS1 high-level, respectively. That is, high level and the change signal SP 2 are set as a low level for the change signal SP 1, respectively.

[0090] In this condition, in the reference voltage change circuit SWC2, both the pMOS transistor PT 1 and the nMOS transistor NT1 are held at an OFF state, and the electrical potential difference of a node ND 2 is decided by the partial pressure electrical potential difference by resistance elements R1 and R2. Here, if common potential VSS is set to 0V, it sets to an initial state and is the electrical-potential-difference value vr of the electrical potential difference for a comparison. It can be found by the degree type.

[0091]

[Equation 4]

$$v_r = V_{CC} - r \cdot 2 / (r_1 + r_2) \quad \text{-- (6)}$$

[0092] Here, r1 and r2 are the resistance of resistance elements R1 and R2, respectively.

[0093] When the level of an input signal Vin rises and the level of the electrical potential difference for a comparison (electrical potential difference Vr) is exceeded, it is the output signal V0 of a comparator CMP 1. It changes from a low level high-level. Output signal V0 In a rising edge, the output signal of the AND gate AGT1 starts. According to this, the output terminal Q of monostable-multivibrator OS1 is changed from a low level high-level. Time amount deltat1 In between, the output terminal Q of monostable-multivibrator OS1 is held high-

level. According to this, in the reference voltage change circuit SWC2, the nMOS transistor NT1 is held at an ON state, and the electrical potential difference for a comparison is set as the common potential VSS.

[0094] Time delay Δt_1 of delay circuit DLY1a After passing, the output terminal Q of monostable-multivibrator OS1 changes to a low level. Since the nMOS transistor NT1 is set as an OFF state in the reference voltage change circuit SWC2, the electrical potential difference for a comparison is initial value v_r . It changes.

[0095] When the level of an input signal V_{in} descends and the level of the electrical potential difference for a comparison (electrical potential difference V_r) is reached, it is the output signal V0 of a comparator CMP 1. It changes from high level to a low level. Output signal V0 In a falling edge, the output signal of the AND gate AGT2 falls. According to this, the output terminal Q of monostable-multivibrator OS2 is changed from a low level high-level, and the reversal output terminal Qz is changed from high level to a low level. Time amount Δt_2 In between, the output terminal Q of monostable-multivibrator OS2 is held high-level, and the reversal output terminal Qz is held at a low level. According to this, in the reference voltage change circuit SWC2, the pMOS transistor PT 1 is held at an ON state, and the electrical potential difference for a comparison is set as supply voltage VCC.

[0096] Time delay Δt_2 of delay circuit DLY2a After passing, the output terminal Q of monostable-multivibrator OS2 changes to a low level, and the reversal output terminal Qz changes high-level. Since the pMOS transistor PT 1 is set as an OFF state in the reference voltage change circuit SWC2, the electrical potential difference for a comparison is initial value v_r . It changes.

[0097] According to [as explained above] this operation gestalt, a comparator CMP 1 compares an input signal V_{in} with the electrical potential difference for a comparison set up in the reference voltage change circuit SWC2, and it is a signal V0 as a comparison result. It outputs. It is an output signal V0 by the AND gates AGT1 and AGT2, respectively. When a standup and a falling edge are

detected and a rising edge is detected, delay circuit DLY1a is operated, and when a falling edge is detected, delay circuit DLY2a is operated. The effect of the noise which the hysteresis characteristic was given to the electrical-potential-difference comparator circuit, and was mixed in the input signal V_{in} since it changed, the reference voltage change circuit SWC2 was controlled according to signals SP1 and SP2 and the level of the electrical potential difference for a comparison was set up outputted from these delay circuits can be controlled, and the stable comparison result is obtained. Furthermore, output signal V0 Time delay is avoided and the point of an input signal V_{in} changing [level] can be detected correctly. Moreover, in this operation gestalt, since the external clock signal CLK for controlling the time delay of delay circuit DLY1a and DLY2a becomes unnecessary, circuitry is easy and simplification of wiring can be attained.

[0098] 4th operation gestalt drawing 7 is the circuit diagram showing the 4th operation gestalt of the electrical-potential-difference comparator circuit concerning this invention. Like illustration, the electrical-potential-difference comparator circuit of this operation gestalt is constituted by a comparator CMP 1, the reference voltage change circuit SWC2, and delay circuits DLY1 and DLY2.

[0099] A comparator CMP 1 and delay circuits DLY1 and DLY2 are the same as the thing of the 1st operation gestalt of this invention mentioned above, and the reference voltage change circuit SWC2 of them is the same as the reference voltage change circuit of the 3rd operation gestalt shown in drawing 5 .

[0100] As shown in drawing 7 , the comparator CMP 1 and the reference voltage change circuit SWC2 constitute the circuit block 10. The circuit block 10 concerned inputs the input signal V_{in} from the outside into the terminal (+) of a comparator CMP 1, it is changed from a delay circuit DLY1, inputs a signal SP 1, impresses it to the gate of the nMOS transistor NT1 of the reference voltage change circuit SWC2, it is changed from a delay circuit DLY2 from a terminal 2, inputs a signal SP 2, and impresses it to the gate of the pMOS transistor PT 1 of the reference voltage change circuit SWC2 from a terminal 1 further through a

terminal 3. In addition, the change signal SP 1 is outputted from the output terminal Q of D-flip-flop D-FF1 of a delay circuit DLY1, and the change signal SP 2 is outputted from the reversal output terminal Qz of D-flip-flop D-FF5 of a delay circuit DLY2.

[0101] Hereafter, actuation of this operation gestalt is explained, referring to drawing 7. Before an electrical-potential-difference comparator circuit operates, it is set as an initial state by the reset signal RST. That is, D flip-flop each D-FF1 of delay circuits DLY1 and DLY2 - D-FF4, D-FF5 - D-FF8 are reset, and the reversal output terminal Qz is held for an output terminal Q high-level at a low level. That is, in an initial state, a low level and the change signal SP 2 are set up for the change signal SP 1 high-level, respectively. According to this, it is the partial pressure electrical potential difference v_r to which both the pMOS transistor PT 1 and the nMOS transistor NT1 were set as the OFF state, and the electrical potential difference for a comparison was set by resistance elements R1 and R2 in the reference voltage change circuit SWC2. It is set up.

[0102] According to the rising edge of a comparator CMP 1, the output signal of the AND gate AGT1 starts, and the output terminal Q of D-flip-flop D-FF1 of a delay circuit DLY1 starts further. In the time delay set up in the delay circuit DLY1, the output terminal Q of D-flip-flop D-FF1 is held high-level, and is changed to a low level after that.

[0103] While the change signal SP 1 is held high-level, the nMOS transistor NT1 of the reference voltage change circuit SWC2 is held at an ON state, and the electrical potential difference for a comparison is set as the common potential VSS.

[0104] According to the falling edge of a comparator CMP 1, the output signal of the AND gate AGT2 starts, and the output terminal Q of D-flip-flop D-FF5 of a delay circuit DLY2 starts further according to this. In the time delay set up in the delay circuit DLY2, the output terminal Q of D-flip-flop D-FF5 is held high-level, and is changed to a low level after that. Between high level, as for the reversal output terminal Qz of D-flip-flop D-FF5, an output terminal Q is held at a low level.

That is, the change signal SP 2 is held between the time delays of a delay circuit DLY2 from the falling edge of the output signal of a comparator CMP 1 at a low level.

[0105] While the change signal SP 2 is held at a low level, the pMOS transistor PT 1 of the reference voltage change circuit SWC2 is held at an ON state, and the electrical potential difference for a comparison is set as supply voltage VCC.

[0106] Thus, a hysteresis characteristic is given to an electrical-potential-difference comparator circuit by delay circuits DLY1 and DLY2 and the reference voltage change circuit SWC2. Consequently, the effect of the noise mixed in the input signal V_{in} can be controlled, and malfunction of an electrical-potential-difference comparator circuit can be avoided, and the point of an input signal V_{in} changing [level] can be detected correctly.

[0107] Drawing 8 shows the circuit block 10 constituted by the comparator CMP 1 and the reference voltage change circuit SWC2. In addition, the circuit block 10 concerned has the same configuration as the circuit block 10 of the electrical-potential-difference comparator circuit shown in drawing 7 .

[0108] In the circuit block 10, a comparator CMP 1 is noninverting connection. That is, it is impressed by the non-inversed input terminal (+) of a comparator CMP 1, and an input signal V_{in} is reference voltage V_{ref} . It is impressed by the inversed input terminal (-) of a comparator CMP 1. For this reason, when the level of an input signal V_{in} is higher than the level of the electrical potential difference for a comparison, it is the high-level output signal V_0 from a comparator CMP 1. It is outputted, and when the level of an input signal V_{in} is conversely lower than the level of the electrical potential difference for a comparison, it is the output signal V_0 of a low level from a comparator CMP 1. It is outputted.

[0109] In noninverting connection, it is the output signal V_0 of a comparator CMP 1. In predetermined time amount, the electrical potential difference for a comparison is set from a rising edge to the level VSS lower than initial value, for example, common potential, and it is the output signal V_0 of a comparator CMP 1.

A hysteresis characteristic can be given to an electrical-potential-difference comparator circuit by setting the electrical potential difference for a comparison from a falling edge in predetermined time amount to the level VCC higher than initial value, for example, supply voltage.

[0110] Drawing 9 shows the configuration of the comparator CMP 2 in reversal connection, and the reference voltage change circuit SWC3. The circuit block 20 is constituted by a comparator CMP 2, the reference voltage change circuit SWC3, and inverters INV3 and INV4.

[0111] Like illustration, an input signal Vin is impressed to the inversed input terminal (-) of a comparator CMP 2, and the electrical potential difference for a comparison is impressed to the non-inversed input terminal (+) of a comparator CMP 2. For this reason, when the level of an input signal Vin is higher than a reference voltage level, it is the output signal V0 of a comparator CMP 2 to a low level. It is outputted, and when the level of an input signal Vin is conversely lower than a reference voltage level, it is the high-level output signal V0 from a comparator CMP 2. It is outputted.

[0112] In noninverting connection, it is the output signal V0 of a comparator CMP 2. In predetermined time amount, the electrical potential difference for a comparison is set from a rising edge to the level VCC higher than initial value, for example, supply voltage, and it is the output signal V0 of a comparator CMP 2. A hysteresis characteristic can be given to an electrical-potential-difference comparator circuit by setting the electrical potential difference for a comparison from a falling edge in predetermined time amount to the level VSS lower than initial value, for example, common potential.

[0113] In addition, the delay circuits DLY1 and DLY2 connected to the circuit block 20 shown in drawing 9 shall have the same configuration as the delay circuit shown in drawing 7. In an initial state, since a low level and the change signal SP 2 are set up high-level, respectively and are in the change signal SP 1, the output terminal of inverters INV2 and INV3 is set as high level and a low level, respectively. For this reason, both the pMOS transistors PT 1 and nMOS

transistors NT1 of the reference voltage change circuit SWC3 are set as an OFF state. At this time, the electrical potential difference for a comparison is set as the partial pressure electrical potential difference set up by resistance elements R1 and R2.

[0114] When the level of an input signal V_{in} descends and the level of the electrical potential difference for a comparison is reached, it is the output signal V0 of a comparator CMP 2. It starts from a low level high-level. Output signal V0 In the time delay of a delay circuit DLY1, the change signal SP 1 is set up high-level from a rising edge. Since the output signal of an inverter INV2 is set as a low level according to this, the pMOS transistor PT 1 of the reference voltage change circuit SWC3 is set as an ON state, and it is the electrical potential difference V_{ref} for a comparison. It is set as supply voltage VCC.

[0115] On the contrary, the level of an input signal V_{in} rises and it is the electrical potential difference V_{ref} for a comparison. When level is exceeded, it is the output signal V0 of a comparator CMP 2. It falls from high level to a low level. Output signal V0 In the time delay of a delay circuit DLY2, the change signal SP 2 is set as a low level from a falling edge. Since the output signal of an inverter INV3 is set up high-level according to this, the nMOS transistor NT1 of the reference voltage change circuit SWC3 is set as an ON state, and it is the electrical potential difference V_{ref} for a comparison. It is set as the common potential VSS.

[0116] Thus, a hysteresis characteristic can be given to the electrical-potential-difference comparator circuit of reversal connection with the circuit block 20. It is possible to be able to control the effect of the noise which was mixed by the input signal V_{in} in reversal connection, to be able to prevent malfunction of a circuit, and to detect the point of an input signal changing [level] with high precision.

[0117]

[Effect of the Invention] According to the electrical-potential-difference comparator circuit of this invention, according to change of the output-signal level of an electrical-potential-difference comparator circuit, as explained above, when

only predetermined time amount gives a hysteresis characteristic to an electrical-potential-difference comparator circuit, the effect of the noise mixed in the signal for detection can be controlled, and the signal for detection becomes possible [detecting the point of passing a predetermined reference value changing / level /, with high precision]. The signal delay resulting from the hysteresis characteristic of the conventional electrical-potential-difference comparator circuit can be canceled by applying the electrical-potential-difference comparator circuit of this invention by this, when the standup of the signal for detection and the phase relation of falling are important, and there is an advantage which can realize highly precise control.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the 1st operation gestalt of the electrical-potential-difference comparator circuit concerning this invention.

[Drawing 2] It is the wave form chart showing actuation of the 1st operation gestalt.

[Drawing 3] It is the circuit diagram showing the 2nd operation gestalt of the

electrical-potential-difference comparator circuit concerning this invention.

[Drawing 4] It is the wave form chart showing actuation of the 2nd operation gestalt.

[Drawing 5] It is the circuit diagram showing the 3rd operation gestalt of the electrical-potential-difference comparator circuit concerning this invention.

[Drawing 6] It is the wave form chart showing actuation of the 3rd operation gestalt.

[Drawing 7] It is the circuit diagram showing the 4th operation gestalt of the electrical-potential-difference comparator circuit concerning this invention.

[Drawing 8] It is the circuit diagram showing the configuration of the reference voltage change circuit of the electrical-potential-difference comparator circuit of noninverting connection, and a comparator part.

[Drawing 9] It is the circuit diagram showing the configuration of the reference voltage change circuit of the electrical-potential-difference comparator circuit of reversal connection, and a comparator part.

[Drawing 10] It is the circuit diagram showing the configuration of a general electrical-potential-difference comparator circuit.

[Drawing 11] It is the wave form chart showing actuation of a general electrical-potential-difference comparator circuit.

[Drawing 12] It is the wave form chart showing actuation of an electrical-potential-difference comparator circuit when a noise mixes in an input signal.

[Drawing 13] It is the enlarged drawing showing an input before and after the input signal's having gone up and passing reference voltage, and the wave of an output signal.

[Drawing 14] It is the enlarged drawing showing an input before and after the input signal's having descended and passing reference voltage, and the wave of an output signal.

[Drawing 15] It is drawing showing an example of the electrical-potential-difference comparator circuit where the hysteresis characteristic was given.

[Drawing 16] It is drawing showing other examples of the electrical-potential-

difference comparator circuit where the hysteresis characteristic was given.

[Description of Notations]

10 20 -- The circuit block constituted from a reference voltage change circuit and a comparator, CMP0, CMP0', CMP1, CMP2 -- A comparator, D-FF1 - D-FF8 -- D flip-flop, NRGT [-- Switch,]1 -- The NOR gate, AGT1-AGT5 -- The AND gate, INV1, INV2, INV3 -- Inverters S1, S2, and S3 OGT1 -- The OR gate, DLY0, DLY1 and DLY2, DLY1a, DLY2a -- Delay circuit, OS1, OS2 [-- A resistance element C1, C2 / -- Capacitor.] -- A monostable multivibrator, PT1 -- A pMOS transistor, NT1 -- A nMOS transistor, R1, R2, R3, R4

[Translation done.]

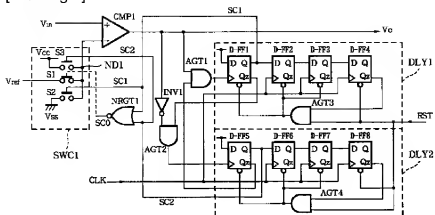
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

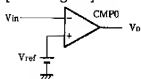
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

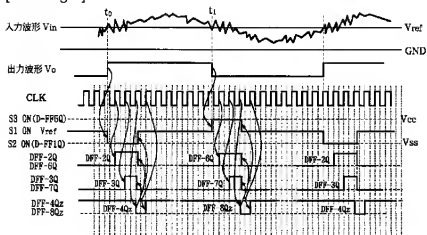
[Drawing 1]



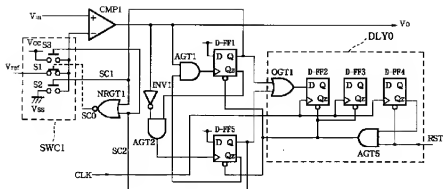
[Drawing 10]



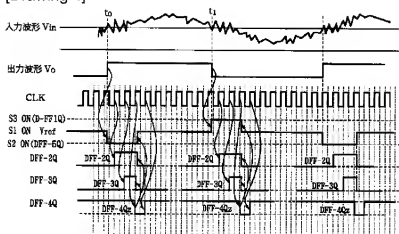
[Drawing 2]



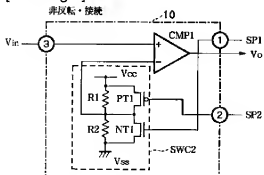
[Drawing 3]



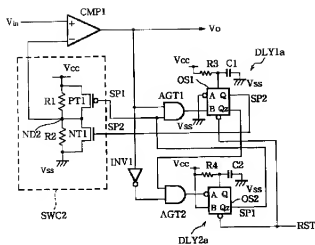
[Drawing 4]



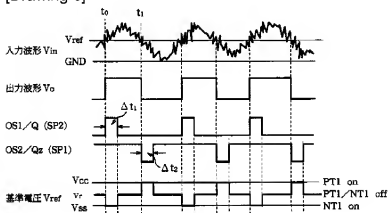
[Drawing 8]



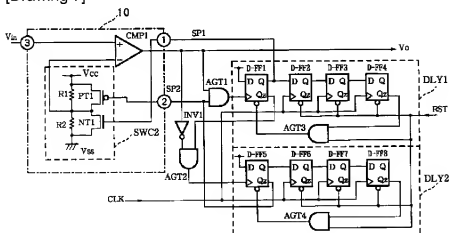
[Drawing 5]



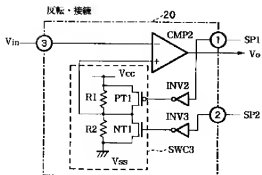
[Drawing 6]



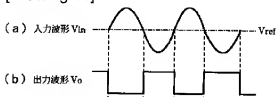
[Drawing 7]



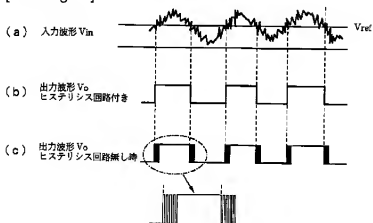
[Drawing 9]



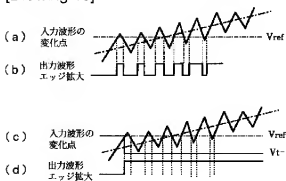
[Drawing 11]



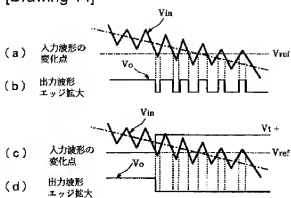
[Drawing 12]



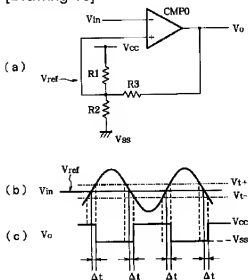
[Drawing 13]



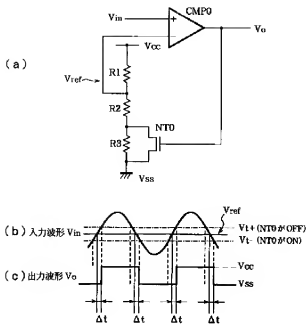
[Drawing 14]



[Drawing 15]



[Drawing 16]



[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

WRITTEN AMENDMENT

----- [a procedure revision]

[Filing Date] April 5, Heisei 11

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[Proposed Amendment]

[Claim(s)]

[Claim 1] The comparator circuit which compares an input signal with the signal for a comparison, outputs the output signal of the 1st level when the above-mentioned input signal is larger than the above-mentioned signal for a comparison, and outputs the output signal of the 2nd level when the above-mentioned input signal is smaller than the above-mentioned signal for a comparison,

The 1st detector which detects that the above-mentioned output signal changed from the 1st level to the 2nd level,

The 2nd detector which detects that the above-mentioned output signal changed from the 2nd level to the 1st level,

The timer circuit which measures a predetermined period according to the detection result of the 1st or 2nd detector of the above,

It has the signal setting circuit for a comparison which sets the level of the above-mentioned signal for a comparison as the 1st reference value, 2nd reference value, or 3rd reference value,

The above-mentioned signal for a comparison is an electrical-potential-difference comparator circuit which is set as the 1st reference value of the above, or the 3rd reference value of the above according to the detection result of the 1st detector of the above, or the 2nd detector of the above, and will be set as the 2nd reference value of the above if an account of Gokami predetermined period passes.

[Claim 2] The comparator circuit which compares an input signal with the signal for a comparison, outputs the output signal of the 1st level when the above-mentioned input signal is larger than the above-mentioned signal for a comparison, and outputs the output signal of the 2nd level when the above-

mentioned input signal is smaller than the above-mentioned signal for a comparison,

The 1st detector which detects that the above-mentioned output signal changed from the 1st level to the 2nd level,

The 2nd detector which detects that the above-mentioned output signal changed from the 2nd level to the 1st level,

The timer circuit which measures the 1st time amount or 2nd time amount according to the detection result of the 1st or 2nd detector of the above,

The signal setting circuit for a comparison which sets the level of the above-mentioned signal for a comparison as the 1st reference value, 2nd reference value, or 3rd reference value,

It is the electrical-potential-difference comparator circuit which the above-mentioned signal for a comparison is set as the 1st reference value of the above according to the detection result of the 1st detector of the above, ****, will be set as the 2nd reference value of the above if the 1st time amount of the account of Gokami passes, is set as the 3rd reference value of the above according to the detection result of the 2nd detector of the above, and will be set as the 2nd reference value of the above if the 2nd time amount of the account of Gokami passes.

[Claim 3] It is larger than the 2nd reference value of the above, and, for the 2nd reference value of the above, the 1st reference value of the above is a larger electrical-potential-difference comparator circuit according to claim 1 or 2 than the 3rd reference value of the above.

[Claim 4] It is the electrical-potential-difference comparator circuit according to claim 1, 2, or 3 whose 1st reference value of the above is supply voltage, whose 3rd reference value of the above is a reference potential and whose 2nd reference value of the above is the almost middle potential of the 1st reference value of the above, and the 3rd reference value of the above.

[Claim 5] The above-mentioned timer circuit is an electrical-potential-difference comparator circuit according to claim 1, 2, 3, or 4 which has the delay circuit

which inputs the above-mentioned output signal.

[Claim 6] The above-mentioned delay circuit is an electrical-potential-difference comparator circuit according to claim 5 which has two or more flip-flops connected to the serial.

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] 0023

[Method of Amendment] Modification

[Proposed Amendment]

[0023]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the 1st electrical-potential-difference comparator circuit of this invention The comparator circuit which compares an input signal with the signal for a comparison, outputs the output signal of the 1st level when the above-mentioned input signal is larger than the above-mentioned signal for a comparison, and outputs the output signal of the 2nd level when the above-mentioned input signal is smaller than the above-mentioned signal for a comparison, The 1st detector which detects that the above-mentioned output signal changed from the 1st level to the 2nd level, The 2nd detector which detects that the above-mentioned output signal changed from the 2nd level to the 1st level, The timer circuit which measures a predetermined period according to the detection result of the 1st or 2nd detector of the above, It has the signal setting circuit for a comparison which sets the level of the above-mentioned signal for a comparison as the 1st reference value, 2nd reference value, or 3rd reference value. The above-mentioned signal for a comparison According to the detection result of the 1st detector of the above, or the 2nd detector of the above, it is set as the 1st reference value of the above, or the 3rd reference value of the above, and if an account of Gokami predetermined period passes, it will be set as the 2nd reference value of the above.

[Procedure amendment 3]

[Document to be Amended] Specification

[Item(s) to be Amended] 0024

[Method of Amendment] Modification

[Proposed Amendment]

[0024] Moreover, the 2nd electrical-potential-difference comparator circuit of this invention compares an input signal with the signal for a comparison. The comparator circuit which outputs the output signal of the 1st level when the above-mentioned input signal is larger than the above-mentioned signal for a comparison, and outputs the output signal of the 2nd level when the above-mentioned input signal is smaller than the above-mentioned signal for a comparison, The 1st detector which detects that the above-mentioned output signal changed from the 1st level to the 2nd level, The 2nd detector which detects that the above-mentioned output signal changed from the 2nd level to the 1st level, The timer circuit which measures the 1st time amount or 2nd time amount according to the detection result of the 1st or 2nd detector of the above, It has the signal setting circuit for a comparison which sets the level of the above-mentioned signal for a comparison as the 1st reference value, 2nd reference value, or 3rd reference value. The above-mentioned signal for a comparison According to the detection result of the 1st detector of the above, it is set as the 1st reference value of the above. If the 1st time amount of the account of Gokami passes, it will be set as the 2nd reference value of the above, according to the detection result of the 2nd detector of the above, it is set as the 3rd reference value of the above, and if the 2nd time amount of the account of Gokami passes, it will be set as the 2nd reference value of the above.

[Procedure amendment 4]

[Document to be Amended] Specification

[Item(s) to be Amended] 0025

[Method of Amendment] Modification

[Proposed Amendment]

[0025] Moreover, in this invention, suitably, the 1st reference value of the above

is larger than the 2nd reference value of the above, and the 2nd reference value of the above is larger than the 3rd reference value of the above.

[Procedure amendment 5]

[Document to be Amended] Specification

[Item(s) to be Amended] 0026

[Method of Amendment] Modification

[Proposed Amendment]

[0026] Furthermore, in this invention, suitably, the 1st reference value of the above is supply voltage, the 3rd reference value of the above is a reference potential, and the 2nd reference value of the above is the almost middle potential of the 1st reference value of the above, and the 3rd reference value of the above.

[Procedure amendment 6]

[Document to be Amended] Specification

[Item(s) to be Amended] 0027

[Method of Amendment] Modification

[Proposed Amendment]

[0027] Furthermore, in this invention, the above-mentioned timer circuit has suitably the delay circuit which inputs the above-mentioned output signal.

[Procedure amendment 7]

[Document to be Amended] Specification

[Item(s) to be Amended] 0028

[Method of Amendment] Modification

[Proposed Amendment]

[0028] Furthermore, in this invention, the above-mentioned delay circuit has suitably two or more flip-flops connected to the serial.

[Procedure amendment 8]

[Document to be Amended] Specification

[Item(s) to be Amended] 0052

[Method of Amendment] Modification

[Proposed Amendment]

[0052] Thus, when the level of an input signal V_{in} exceeds the level of the electrical potential difference for a comparison (electrical potential difference V_{ref}), the electrical potential difference for a comparison is set as common potential VSS level by the reference voltage change circuit SWC1, and in the time amount for about 3 periods of a clock signal CLK, the electrical potential difference for a comparison is held by the delay circuit DLY1 at the common potential VSS, and is again set after that as initial value v_{ref} . Similarly, when the level of an input signal V_{in} becomes lower than the level of the electrical potential difference for a comparison (electrical potential difference V_{ref}), the electrical potential difference for a comparison is set as supply voltage VCC level, and the electrical potential difference for a comparison is held by the delay circuit DLY2 in the time amount for about 3 periods of a clock signal CLK at supply voltage VCC, and it is initial value v_{ref} again after that. It is set up.

[Procedure amendment 9]

[Document to be Amended] Specification

[Item(s) to be Amended] 0054

[Method of Amendment] Modification

[Proposed Amendment]

[0054] In addition, in the example of a circuit shown in drawing 1, although delay circuits DLY1 and DLY2 are constituted by four steps of D flip-flops, respectively, this invention is not limited to this and they can set it as arbitration according to the frequency of an input signal V_{in} and a clock signal CLK based on a time delay required in order to reduce the effect according the number of stages of the D flip-flop which constitutes a delay circuit to a noise. Furthermore, it is also possible to set up so that the time delay of the delay circuits DLY1 and DLY2 which operate according to the rising edge and falling edge of an output signal of a comparator if needed to arbitration may be differed.

[Procedure amendment 10]

[Document to be Amended] Specification

[Item(s) to be Amended] 0114

[Method of Amendment] Modification

[Proposed Amendment]

[0114] When the level of an input signal V_{in} descends and the level of the electrical potential difference for a comparison is reached, it is the output signal V_0 of a comparator CMP 2. It starts from a low level high-level. Output signal V_0 In the time delay of a delay circuit DLY1, the change signal SP 1 is set up high-level from a rising edge. Since the output signal of an inverter INV2 is set as a low level according to this, the pMOS transistor PT 1 of the reference voltage change circuit SWC3 is set as an ON state, and the electrical potential difference for a comparison is set as supply voltage VCC.

[Procedure amendment 11]

[Document to be Amended] Specification

[Item(s) to be Amended] 0115

[Method of Amendment] Modification

[Proposed Amendment]

[0115] On the contrary, when the level of an input signal V_{in} rises and the level of the electrical potential difference for a comparison is exceeded, it is the output signal V_0 of a comparator CMP 2. It falls from high level to a low level. Output signal V_0 In the time delay of a delay circuit DLY2, the change signal SP 2 is set as a low level from a falling edge. Since the output signal of an inverter INV3 is set up high-level according to this, the nMOS transistor NT1 of the reference voltage change circuit SWC3 is set as an ON state, and the electrical potential difference for a comparison is set as the common potential VSS.

[Translation done.]

特開平11-248761

(43)公開日 平成11年(1999) 9月17日

(51)Int.Cl.⁶ 識別記号G 0 1 R 19/165
H 0 3 K 5/08

F I

C 0 1 R 19/165
H 0 3 K 5/08B
J

審査請求 有 請求項の数 6 O L (全 19 頁)

(21)出願番号 特願平10-53998

(22)出願日 平成10年(1998) 3月5日

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿6丁目24番1号 西新
宿三井ビル

(72)発明者 渡辺 成治

東京都港区北青山3丁目6番12号 青山富
士ビル日本テキサス・インスツルメンツ株
式会社内

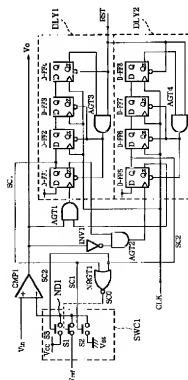
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 電圧比較回路

(57)【要約】

【課題】 入力信号に混入した雑音の影響を抑制でき、信号のレベル変化を高精度に検出可能な電圧比較回路を実現する。

【解決手段】 コンパレータCMP1の出力信号の立ち上がりまたは立ち下がりエッジに応じて、遅延回路DLY1またはDLY2を動作させ、遅延回路DLY1の遅延時間内に、基準電圧切り替え回路SWC1は比較用電圧を共通電位 V_{SS} に保持し、遅延回路DLY2の遅延時間内に、基準電圧切り替え回路SWC1は比較用電圧を電源電圧 V_{CC} に保持し、遅延回路の遅延時間が経過した後、比較用電圧を再び初期値に設定するので、電圧比較回路にヒステリシス特性が付与され、入力信号 V_{in} に混入した雑音の影響を抑制でき、安定した比較結果が得られる。さらに、出力信号の時間遅延が解消され、入力信号のレベル変化点を正確に検出することができる。



【特許請求の範囲】

【請求項1】入力信号と比較用信号とを比較し、上記入力信号が上記比較用信号よりも大きい場合に第1のレベルの出力信号を出力し、上記入力信号が上記比較用信号よりも小さい場合に第2のレベルの出力信号を出力する比較回路と、

上記出力信号が第1のレベルから第2のレベルまたは第2のレベルから第1のレベルに変化した場合に、上記出力信号のレベルを所定の期間固定とする制御回路とを有する電圧比較回路。

【請求項2】上記制御回路は、上記出力信号が第1のレベルから第2のレベルに変化したことを検出する第1の検出回路と、上記出力信号が第2のレベルから第1のレベルに変化したことを検出する第2の検出回路と、上記所定の期間を計測するタイマ回路と、上記比較用信号のレベルを第1の基準値、第2の基準値または第3の基準値に設定する比較用信号設定回路とを有し、

上記比較用信号は、上記第1の検出回路または上記第2の検出回路の検出結果に応じて上記第1の基準値または上記第3の基準値に設定され、その後上記所定の期間が経過すると上記第2の基準値に設定される請求項1に記載の電圧比較回路。

【請求項3】上記制御回路は、上記出力信号が第1のレベルから第2のレベルへ変化したことを検出する第1の検出回路と、上記出力信号が第2のレベルから第1のレベルへ変化したことを検出する第2の検出回路と、第1の時間と第2の時間とを計測するタイマ回路と、上記比較用信号のレベルを第1の基準値、第2の基準値または第3の基準値に設定する比較用信号設定回路とを有し、上記比較用信号は、上記第1の検出回路の検出結果に応じて上記第1の基準値に設定され、その後上記第1の時間が経過すると上記第2の基準値に設定され、上記第2の検出回路の検出結果に応じて上記第3の基準値に設定され、その後上記第2の時間が経過すると上記第2の基準値に設定される請求項1記載の電圧比較回路。

【請求項4】上記第1の基準値は上記第2の基準値よりも大きく、上記第2の基準値は上記第3の基準値よりも大きい請求項2又は3に記載の電圧比較回路。

【請求項5】上記タイマ回路は上記出力信号を入力する遅延回路を有する請求項2、3又は4に記載の電圧比較回路。

【請求項6】上記遅延回路は直列に接続された複数のフリップフロップを有する請求項5に記載の電圧比較回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、信号のゼロクロスを検出できる電圧比較回路、特にヒステリシス特性により雑音の影響を抑制でき、誤動作を回避できる電圧比較回路に関するものである。

【0002】

【従来の技術】一般的に、入力信号のゼロクロスを検出する電圧比較回路は、入力信号の電圧レベルと所定の基準信号の電圧レベルとを比較し、その比較結果により入力信号が基準信号レベルを通過するポイントを検出する。

【0003】図10は、このような電圧比較回路の基本構成例を示している。図示のように、電圧比較回路は、コンパレータCMP0と基準電圧 V_{ref} を提供する電圧源により構成されている。入力信号 V_{in} はコンパレータCMP0の反転入力端子(−)に印加され、基準電圧 V_{ref} は、コンパレータCMP0の非反転入力端子(+)に印加されている。入力信号 V_{in} は、例えば、図11

(a)に示すように所定の基準値を中心にレベルが上下に変動する信号とする。コンパレータCMP0から図11(b)に示す出力信号 V_0 が得られる。このように、出力信号 V_0 のレベル変化エッジにより、入力信号 V_{in} のレベルが基準値を通過した時点を正確に把握することができる。

【0004】しかし、入力信号 V_{in} に雑音が混入されている場合には、図10に示す電圧比較回路では正確な結果が得られない。例えば、図12の波形図に示すように、入力信号 V_{in} に混入されている雑音の影響により、入力信号 V_{in} のレベルが基準電圧 V_{ref} に接近している場合に、入力信号 V_{in} のレベルが基準電圧 V_{ref} を複数回通過し、これに応じて出力信号 V_0 の立ち上がりまたは立ち下がりエッジが不安定になる。

【0005】図13および図14は、入力信号 V_{in} および出力信号 V_0 のレベル変化点付近を拡大して表示したものである。図13(a)および(b)に示すように、入力信号 V_{in} のレベルが上昇し、基準電圧 V_{ref} に近づいている場合に、雑音の影響により信号レベルが所定の期間において基準電圧 V_{ref} を上下する。この間、出力信号 V_0 にランダムな幅を持つ複数のパルスが発生してしまう。いわゆる出力信号 V_0 に“詰”が生じる。入力信号 V_{in} のレベルが降下して、基準電圧 V_{ref} に近づく場合には、図14(a)および(b)に示すように、同様に、出力信号 V_0 に“詰”が生じてしまう。

【0006】このように、入力信号 V_{in} に雑音が混入した場合、図10に示す単純な電圧比較回路においては、出力信号 V_0 の立ち上がりおよび立ち下がりエッジが不安定になる。この問題を解決するために、図15および図16に示すヒステリシス特性を有する電圧比較回路が提案されている。

【0007】図15(a)はヒステリシス特性を持つ電圧比較回路の一例を示す回路図である。図示のように、本例の電圧比較回路においては、出力信号 V_0 を抵抗素子R3を介して基準電圧 V_{ref} の発生回路にフィードバックさせることにより、電圧比較回路にヒステリシス特性を持たせている。

【0008】基準電圧 V_{ref} は、電源電圧 V_{CC} と共通電位 V_{SS} との間に接続されている二つの抵抗素子 $R1$ と $R2$ で生じた分圧電圧である。ここで、例えば、抵抗素子 $R1$ および $R2$ の抵抗値をそれぞれ $r1$ 、 $r2$ とし、共

$$V_{ref} = V_{CC} \cdot r2 / (r1 + r2) \quad \cdots (1)$$

【0010】同図(c)に示すように、コンパレータCMP0において、入力端子(+)に印加される基準電圧 V_{ref} のレベルが反転入力端子(-)に印加される入力信号 V_{in} のレベルより高い場合、ハイレベルの信号、例えば、電源電圧 V_{CC} レベルの信号が出力され、逆に入力端子(+)に印加される基準電圧 V_{ref} のレベルが反転入力端子(-)に印加される入力信号 V_{in} のレベルより低い場合、ローレベルの信号、例えば、共通電位 V_{SS} レベルの信号が出力される。

$$Vt+ = V_{CC} \cdot r2 / (r1 + r2) \quad \cdots (2)$$

$$Vt- = V_{CC} \cdot r23 / (r1 + r23) \quad \cdots (3)$$

【0013】例えば、($r1 = r2 = r3$)の場合に、 $Vt+ = 0.67V_{CC}$ 、 $Vt- = 0.33V_{CC}$ となる。このように、入力信号 V_{in} のレベルが基準電圧 V_{ref} のレベルより低い場合に、コンパレータCMP0からハイレベルの出力信号 V_0 が出力される。このハイレベルの出力信号 V_0 が抵抗素子 $R3$ を介してフィードバックされるので、コンパレータCMP0の入力端子(+)に式(2)に示す電圧 $Vt+$ が入力される。入力信号 V_{in} のレベルが上昇し、電圧 $Vt+$ を越えたとき、コンパレータCMP0の出力信号 V_0 がローレベルに変化する。これに応じて、コンパレータCMP0の入力端子(+)に式(3)に示す電圧 $Vt-$ が印加される。入力信号 V_{in} のレベルが降下して、電圧 $Vt-$ 以下になると、コンパレータCMP0の出力信号レベルが再び変化し、ローレベルからハイレベルに切り替わる。

【0014】このように、コンパレータCMP0の出力信号 V_0 をフィードバックし、これに応じて基準電圧 V_{ref} のレベルを制御することにより、電圧比較回路にヒ

$$Vt- = V_{CC} \cdot r2 / (r1 + r2) \quad \cdots (4)$$

$$Vt+ = V_{CC} \cdot (r2 + r3) / (r1 + r2 + r3) \quad \cdots (5)$$

【0018】ここで、 $Vt-$ はnMOSTランジスタNT0がオン状態にあるときの基準電圧 V_{ref} のレベルで、 $Vt+$ は、nMOSTランジスタNT0がオフ状態にあるときの基準電圧 V_{ref} のレベルである。また、式(4)と式(5)の間には、($Vt- < Vt+$)の関係が成立する。

【0019】例えば、入力信号 V_{in} のレベルが基準電圧 V_{ref} のレベルより高い場合、コンパレータCMP0'の出力端子からハイレベルの信号 V_0 が出力される。これに応じて、トランジスタNT0がオン状態に保持され、基準電圧 V_{ref} は、式(4)に示す $Vt-$ レベルに保持される。一方、入力信号 V_{in} のレベルが基準電圧 V_{ref} のレベルより低い場合、コンパレータCMP0'の出力端子からローレベルの信号 V_0 が出力される。これ

通電位 V_{SS} を0Vとすると、基準電圧 V_{ref} の電圧値 V_{ref} は、次式より求まる。

【0009】

【数1】

【0011】コンパレータCMP0の出力信号 V_0 が抵抗素子 $R3$ を介して、抵抗素子 $R1$ と $R2$ との接続点にフィードバックされているので、ここで、抵抗素子 $R3$ の抵抗値を $r3$ とし、且つ抵抗素子 $R2$ と $R3$ の並列抵抗値を $r13$ として、抵抗素子 $R2$ と $R3$ との並列抵抗値を $r23$ とすると、図15(b)に示す電圧 $Vt+$ および $Vt-$ のレベルがそれぞれ次式により与えられる。

【0012】

【数2】

ステリシスを与えることができる。

【0015】図16はヒステリシス特性を持つ電圧比較回路の他の構成例を示している。図示のように、本例においては、図15に示す電圧比較回路とはほぼ同様に、出力信号 V_0 をフィードバックし、これに応じて基準電圧 V_{ref} のレベルを制御し、電圧比較回路にヒステリシス特性を持たせている。

【0016】同図(a)に示すように、基準電圧 V_{ref} は、電源電圧 V_{CC} と共通電位 V_{SS} 間に接続されている抵抗素子 $R1$ 、 $R2$ 、 $R3$ およびnMOSTランジスタNT0により発生される。ここで、抵抗素子 $R1$ 、 $R2$ 、 $R3$ の抵抗値をそれぞれ $r1$ 、 $r2$ 、 $r3$ として、また、nMOSTランジスタNT0がオン状態時の抵抗は、無視できる程度とすると、nMOSTランジスタNT0のオン/オフ状態に応じて、基準電圧 V_{ref} のレベルが次式より求められる。

【0017】

【数3】

に応じて、トランジスタNT0がオン状態に保持され、基準電圧 V_{ref} は、式(5)に示す $Vt+$ レベルに保持される。このように、コンパレータCMP0'の出力信号 V_0 をフィードバックすることにより、電圧比較回路にヒステリシス特性を与えることができ、雑音の影響を抑制することが可能である。

【0020】図13の(c)および同図(d)は、ヒステリシス特性を持つ電圧比較回路に雑音が混入した入力信号 V_{in} が入力した場合の出力信号 V_0 の波形を示している。図示のように、入力信号 V_{in} のレベルが上昇し、基準電圧 V_{ref} のレベルを越えたとき、出力信号 V_0 のレベルが変化し、これに応じてコンパレータに入力される基準電圧が $Vt-$ レベルとなり、それ以降の入力信号 V_{in} の雑音によるレベル変動が出力信号 V_0 に影響を及

ばすことがなくなる。同様に、入力信号 V_{in} のレベルが降下し、基準電圧 V_{ref} のレベルより低くなったときの入出力信号の波形を図14(c)および図同(d)に示している。図示のように、入力信号 V_{in} のレベルが基準電圧 V_{ref} より低くなったとき、出力信号 V_o のレベルが変化し、これに応じて、コンパレータに入力される基準電圧が V_1 とレベルとなる。このため、それ以降の入力信号の雑音による影響が抑制される。

【0021】

【発明が解決しようとする課題】ところで、上述した従来のヒステリシス特性を持つ電圧比較回路においては、コンパレータの出力信号のレベル変化点は、実際の入力信号 V_{in} が基準電圧 V_{ref} を通過した時点より Δ の遅延が生じる。このため、時間や位相を重視する応用回路へは使用できないという不利益がある。

【0022】本発明は、かかる事情に鑑みてなされたものであり、その目的は、入力信号が所定の基準電圧（比較用電圧）に達する時間を正確に検出することができ、当該入力信号に混入した雑音の影響を抑制でき、信号のレベル変化を高精度に検出可能な電圧比較回路を提供することにある。

【0023】

【課題を解決するための手段】上記目的を達成するため、本発明の電圧比較回路は、入力信号と比較用信号とを比較し、上記入力信号が上記比較用信号よりも大きい場合に第1のレベルの出力信号を出力し、上記入力信号が上記比較用信号よりも小さい場合に第2のレベルの出力信号を出力する比較回路と、上記出力信号が第1のレベルから第2のレベルまたは第2のレベルから第1のレベルに変化した場合に、上記出力信号のレベルを所定の期間固定とする制御回路とを有する。

【0024】また、本発明では、好適には、上記制御回路は、上記出力信号が第1のレベルから第2のレベルへ変化したことを検出する第1の検出回路と、上記出力信号が第2のレベルから第1のレベルへ変化したことを検出する第2の検出回路と、上記所定の期間を計測するタイマ回路と、上記比較用信号のレベルを第1の基準値、第2の基準値または第3の基準値に設定する比較用信号設定回路とを有し、上記比較用信号は、上記第1の検出回路または上記第2の検出回路の検出結果に応じて上記第1の基準値または上記第3の基準値に設定され、その後上記所定の期間が経過すると上記第2の基準値に設定される。

【0025】また、本発明では、好適には、上記制御回路は、上記出力信号が第1のレベルから第2のレベルへ変化したことを検出する第1の検出回路と、上記出力信号が第2のレベルから第1のレベルへ変化したことを検出する第2の検出回路と、第1の時間と第2の時間とを計測するタイマ回路と、上記比較用信号のレベルを第1の基準値、第2の基準値または第3の基準値に設定する

比較用信号設定回路とを有し、上記比較用信号は、上記第1の検出回路の検出結果に応じて上記第1基準値に設定され、その後上記第1の時間が経過すると上記第2の基準値に設定され、上記第2の検出回路の検出結果に応じて上記第3の基準値に設定され、その後上記第2の時間が経過すると上記第2の基準値に設定される。

【0026】更に、本発明では、好適には、上記タイマ回路は上記出力信号を入力する遅延回路を有する。

【0027】更に、本発明では、好適には、上記遅延回路は直列に接続された複数のフリップフロップを有する。

【0028】本発明によれば、比較回路（コンパレータ）により、雑音が混入している入力信号と比較用信号設定回路からの上記比較用信号とが比較され、その比較結果に応じて第1または第2のレベルを持つ出力信号が発生される。上記コンパレータから出力される出力信号のレベルが変化するとき、制御回路は、所定の期間だけ、例えば遅延回路により設定された遅延時間分だけ比較用信号を初期値（第2の基準値）と異なる第1または第3の基準値に設定し、当該遅延時間が経過した後、比較用信号が再び初期値（第2の基準値）に設定される。これによって、電圧比較回路にヒステリシス特性が付与されることになり、入力信号に混入した雑音の影響を抑制することができ、入力信号のレベル変化点を正確に検出することが可能となる。

【0029】

【発明の実施の形態】第1実施形態

図1は本発明に係る電圧比較回路の第1の実施形態を示す回路図である。図示のように、本実施形態の電圧比較回路は、コンパレータCMP1、基準電圧切り替え回路SWC1および遅延回路DLY1、DLY2により構成されている。

【0030】コンパレータCMP1の非反転入力端子（+）に、比較対象となる信号 V_{in} が入力され、反転入力端子（-）に、基準電圧切り替え回路SWC1からの比較用電圧が入力される。コンパレータCMP1は、入力信号 V_{in} のレベルと比較用電圧のレベルを比較し、比較結果に応じて所定のレベルを持つ信号 V_o を出力する。例えば、入力信号 V_{in} のレベルが比較用電圧のレベルよりも高い場合、ハイレベル、例えば、電源電圧 V_{CC} レベルの信号が出力され、逆に、入力信号 V_{in} のレベルが比較用電圧のレベルよりも低い場合、ローレベル、例えば、共通電位 V_{SS} レベルの信号が出力される。

【0031】基準電圧切り替え回路SWC1は、図示のように、スイッチS1、S2およびS3により構成されている。基準電圧切り替え回路SWC1に、外部から V_{ref} のレベルを持つ電圧が入力される。スイッチS1は、電圧 V_{ref} の入力端子とノードND1との間に接続され、スイッチS2は、共通電位 V_{SS} とノードND1との間に接続され、スイッチS3は、電源電圧 V_{CC} とノードND1との間に接続される。

ドND1との間に接続されている。スイッチS1は、NORゲートNRGT1からのスイッチ制御信号SC0によりオン／オフ状態が制御され、スイッチS2は、遅延回路DLY1からのスイッチ制御信号SC1によりオン／オフ状態が制御され、スイッチS3は、遅延回路DLY2からのスイッチ制御信号SC2によりオン／オフ状態が制御される。NORゲートNRGT1の2つの入力端子に、それぞれスイッチ制御信号SC1、SC2が入力され、これらの制御信号に応じてスイッチ制御信号SC0が発生される。

【0032】回路動作時に、スイッチ制御信号SC1、SC2およびSC3に応じて、スイッチS1、S2、S3の内、1つのみがオン状態に設定され、他の2つはオフ状態に保持される。スイッチS1がオン状態に設定されているとき、基準電圧 V_{ref} がノードND1に出力され、スイッチS2がオン状態に設定されているとき、共通電位 V_{ss} がノードND1に出力され、スイッチS3がオン状態に設定されているとき、電源電圧 V_{cc} がノードND1に出力される。ノードND1の電圧は、比較用電圧として、コンパレータCMP1の反転入力端子(-)に入力される。

【0033】遅延回路DLY1およびDLY2は、それぞれコンパレータCMP1の出力信号 V_o の立ち上がりエッジおよび立ち下がりエッジに対して、所定の遅延時間を与える。遅延回路DLY1およびDLY2は、それぞれの遅延時間に応じたスイッチ制御信号SC1およびSC2を出力する。

【0034】遅延回路DLY1は、DフリップフロップD-FF1、D-FF2、D-FF3およびD-FF4、さらにANDゲートAGT3により構成されている。DフリップフロップD-FF1の信号入力端子Dには、電源電圧 V_{cc} が印加され、出力端子QはDフリップフロップD-FF2の信号入力端子Dに接続されている。DフリップフロップD-FF1の出力端子Qから、スイッチ制御信号SC1が出力される。DフリップフロップD-FF1のクロック入力端子にANDゲートAGT1の出力信号が印加される。ANDゲートAGT1の一方の入力端子はコンパレータCMP1の出力端子に接続され、他方の入力端子は遅延回路DLY2のDフリップフロップD-FF5の反転出力端子Qzに接続されている。

【0035】DフリップフロップD-FF2の出力端子Qは、DフリップフロップD-FF3の入力端子Dに接続され、DフリップフロップD-FF3の出力端子Qは、DフリップフロップD-FF4の入力端子Dに接続されている。DフリップフロップD-FF2、D-FF3、D-FF4のクロック入力端子に、クロック信号CLKが入力されている。さらに、DフリップフロップD-FF1、D-FF2、D-FF3のリセット信号端子は、ANDゲートAGT3の出力端子に接続されてお

り、DフリップフロップD-FF4のリセット信号端子は、リセット信号RSTの入力端子に接続されている。ANDゲートAGT3の一方の入力端子は、リセット信号RSTの入力端子に接続され、他方の入力端子は、DフリップフロップD-FF4の反転出力端子Qzに接続されている。

【0036】遅延回路DLY2は、DフリップフロップD-FF5、D-FF6、D-FF7およびD-FF8、さらにANDゲートAGT4により構成されている。DフリップフロップD-FF5の信号入力端子Dには、電源電圧 V_{cc} が印加され、出力端子QはDフリップフロップD-FF6の信号入力端子Dに接続されている。DフリップフロップD-FF5の出力端子Qから、スイッチ制御信号SC2が出力される。DフリップフロップD-FF5のクロック入力端子にANDゲートAGT2の出力信号が印加される。ANDゲートAGT2の一方の入力端子はインバータ1の出力端子に接続され、インバータINV1の入力端子はコンパレータCMP1の出力端子に接続されている。ANDゲートAGT2の他方の入力端子は遅延回路DLY1のDフリップフロップD-FF1の反転出力端子Qzに接続されている。

【0037】DフリップフロップD-FF6の出力端子Qは、DフリップフロップD-FF7の入力端子Dに接続され、DフリップフロップD-FF7の出力端子Qは、DフリップフロップD-FF8の入力端子Dに接続されている。DフリップフロップD-FF6、D-FF7、D-FF8のクロック入力端子に、クロック信号CLKが入力されている。さらに、DフリップフロップD-FF5、D-FF6、D-FF7のリセット信号端子は、ANDゲートAGT4の出力端子に接続されており、DフリップフロップD-FF8のリセット信号端子は、リセット信号RSTの入力端子に接続されている。ANDゲートAGT4の一方の入力端子は、リセット信号RSTの入力端子に接続され、他方の入力端子は、DフリップフロップD-FF8の反転出力端子Qzに接続されている。

【0038】図2は、本実施形態の動作を説明するための波形図である。以下、図1および図2を参照しつつ、本実施形態の電圧比較回路の動作について説明する。まず、動作開始前に、リセット信号RSTが所定の時間においてローレベルに設定される。これに応じて、ANDゲートAGT3およびAGT4の出力信号が同じ時間においてローレベルに保持されるので、遅延回路DLY1およびDLY2にあるすべてのDフリップフロップD-FF1～D-FF4およびD-FF5～D-FF8がリセットされ、それぞれの出力端子Qがローレベルに保持され、反転出力端子Qzはハイレベルに保持される。

【0039】即ち、初期状態において、スイッチ制御信号SC1、SC2がともにローレベルに保持され、これに応じて、NORゲートNRGT1の出力信号、即ちス

イッチ制御信号SC0がハイレベルに保持される。この結果、基準電圧切り替え回路SWC1において、スイッチS1のみがオン状態に保持され、他のスイッチS2、S3がともにオフ状態に保持される。このとき、電圧 V_{ref} が比較用電圧としてコンパレータCMP1に供給される。

【0040】コンパレータCMP1において、入力信号 V_{in} と比較用電圧（電圧 V_{ref} ）とが比較される。図2に示すように時間 t_0 で入力信号 V_{in} のレベルが比較用電圧（電圧 V_{ref} ）に達する。これに応じて、コンパレータCMP1の出力信号 V_0 がローレベルからハイレベルに切り替わる。このため、図1においてANDゲートAGT1の出力信号がローレベルからハイレベルに切り替わり、DフリップフロップD-FF1の出力端子Qは、ローレベルからハイレベルに切り替わる。即ち、スイッチ制御信号SC1がローレベルからハイレベルに切り替わるので、NORゲートNRGT1の出力信号、即ちスイッチ制御信号SC0がハイレベルからローレベルに切り替わる。

【0041】このとき、基準電圧切り替え回路SWC1において、スイッチS1がオン状態からオフ状態に切り替わり、スイッチS2がオフ状態からオン状態に切り替わる。なお、スイッチS3の状態は変化せず、オフ状態のままに保持される。この状態において、共通電位 V_{SS} が比較用電圧としてコンパレータCMP1に出力される。

【0042】クロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF2の出力端子Qは、ローレベルからハイレベルに切り替わり、また、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF3の出力端子もローレベルからハイレベルに切り替わる。さらに、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF4の出力端子もローレベルからハイレベルに切り替わり、これに応じてDフリップフロップD-FF4の反転出力端子Qzはハイレベルからローレベルに切り替わる。

【0043】ANDゲートAGT3の出力信号は、DフリップフロップD-FF4の反転出力端子Qzのレベル変化に応じてハイレベルからローレベルに切り替わるので、DフリップフロップD-FF1、D-FF2およびD-FF3がリセットされる。これに応じて、スイッチ制御信号SC1がハイレベルからローレベルに切り替わり、NORゲートNRGT1の出力信号、即ちスイッチ制御信号SC0がローレベルからハイレベルに立ち上がる。

【0044】このとき、基準電圧切り替え回路SWC1において、スイッチS2はオン状態からオフ状態に切り替わり、スイッチS1はオフ状態からオン状態に切り替わる。なお、スイッチS3の状態は変化せず、オフ状態

のままに保持される。この状態において、電圧 V_{ref} が再び比較用電圧としてコンパレータCMP1に供給される。

【0045】DフリップフロップD-FF1、D-FF2およびD-FF3がリセットされた後、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF4もリセットされ、反転出力端子Qzがローレベルからハイレベルに切り替わる。

【0046】次いで、図2に示すように、時間 t_1 において、入力信号 V_{in} のレベルが低下し、比較用電圧（電圧 V_{ref} ）のレベルに達する。これに応じてコンパレータCMP1の出力信号 V_0 がハイレベルからローレベルに切り替わる。このため、図1においてANDゲートAGT2の出力信号がローレベルからハイレベルに切り替わり、DフリップフロップD-FF5の出力端子Qは、ローレベルからハイレベルに切り替わる。即ち、スイッチ制御信号SC2がローレベルからハイレベルに切り替わるので、NORゲートNRGT1の出力信号、即ちスイッチ制御信号SC0がハイレベルからローレベルに切り替わる。

【0047】このとき、基準電圧切り替え回路SWC1において、スイッチS1がオン状態からオフ状態に切り替わり、スイッチS3がオフ状態からオン状態に切り替わる。なお、スイッチS2の状態は変化せず、オフ状態のままに保持される。この状態において、電源電圧 V_{CC} が比較用電圧としてコンパレータCMP1に出力される。

【0048】そして、クロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF6の出力端子Qは、ローレベルからハイレベルに切り替わり、また、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF7の出力端子もローレベルからハイレベルに切り替わる。さらに、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF8の出力端子もローレベルからハイレベルに切り替わり、これに応じてDフリップフロップD-FF8の反転出力端子Qzはハイレベルからローレベルに切り替わる。

【0049】ANDゲートAGT4の出力信号は、DフリップフロップD-FF8の反転出力端子Qzのレベル変化に応じてハイレベルからローレベルに切り替わるので、それに応じて、DフリップフロップD-FF5、D-FF6およびD-FF7がリセットされる。これに応じて、スイッチ制御信号SC2がハイレベルからローレベルに切り替わり、NORゲートNRGT1の出力信号、即ちスイッチ制御信号SC0がローレベルからハイレベルに立ち上がる。

【0050】このとき、基準電圧切り替え回路SWC1において、スイッチS3はオン状態からオフ状態に切り替わり、スイッチS1はオフ状態からオン状態に切り替

わる。なお、スイッチS2の状態は変化せず、オフ状態のままに保持される。この状態において、電圧 V_{ref} が比較用電圧としてコンパレータCMP1に供給される。

【0051】DフリップフロップD-FF5、D-FF6およびD-FF7がリセットされた後、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF8もリセットされ、反転出力端子Qzがローレベルからハイレベルに切り替わる。

【0052】このように、入力信号 V_{in} のレベルが比較用電圧（電圧 V_{ref} ）のレベルを越えたとき、基準電圧切り替え回路SWC1により、基準電圧 V_{ref} は共通電位 V_{SS} レベルに設定され、遅延回路DLY1により、クロック信号CLKの約3周期分の時間において、比較用電圧は共通電位 V_{SS} に保持され、その後再び初期値 V_{ref} に設定される。同様に、入力信号 V_{in} のレベルが比較用電圧（電圧 V_{ref} ）のレベルより低くなったとき、比較用電圧は電源電圧 V_{CC} レベルに設定され、遅延回路DLY2により、クロック信号CLKの約3周期分の時間において、比較用電圧は電源電圧 V_{CC} に保持され、その後再び初期値 V_{ref} に設定される。

【0053】以上説明したように、本実施形態によれば、コンパレータCMP1の出力信号の立ち上がりまたは立ち下がりエッジに応じて、遅延回路DLY1またはDLY2を動作させ、遅延回路DLY1の遅延時間内に、基準電圧切り替え回路SWC1は比較用電圧を共通電位 V_{SS} に保持し、遅延回路DLY2の遅延時間内に、基準電圧切り替え回路SWC1は比較用電圧を電源電圧 V_{CC} に保持する。遅延回路の遅延時間が経過した後、基準電圧切り替え回路SWC1は、比較用電圧を再び初期値（電圧 V_{ref} ）に設定するので、電圧比較回路にヒステリシス特性が付与され、入力信号 V_{in} に混入した雑音の影響を抑制でき、安定した比較結果が得られる。さらに、出力信号のレベルが切り替わった後、所定の時間後に比較用電圧は、初期値（電圧 V_{ref} ）に再設定されるので、出力信号の遅延が回避され、入力信号が所定の基準電圧を通過するレベル変化点を正確に検出することが可能である。

【0054】なお、図1に示す回路例においては、遅延回路DLY1、DLY2はそれぞれ4段のDフリップフロップにより構成されているが、本発明はこれに限定されるものではなく、遅延回路を構成するDフリップフロップの段数を、雑音による影響を低減させるために必要な遅延時間をもとに、入力信号 V_{in} およびクロック信号CLKの周波数に応じて設定することができる。さらに、必要に応じて任意にコンパレータの出力信号の立ち上がりエッジおよび立ち下がりエッジに応じて動作する遅延回路DLY1およびDLY2の遅延時間を異なるように設定することも可能である。

【0055】第2実施形態

図3は本発明に係る電圧比較回路の第2の実施形態を示

す回路図である。本実施形態の電圧比較回路において、コンパレータCMP1および基準電圧切り替え回路SWC1は、図1に示す本発明の第1の実施形態とは同じであるが、他の構成部分は、第1の実施形態と異なる。図3において、図1と同様な構成部分は、図1と同じ符号を用いて表記する。

【0056】図3に示す電圧比較回路において、ANDゲートAGT1とDフリップフロップD-FF1は、コンパレータCMP1の出力信号 V_0 の立ち上がりエッジを検出する第1のエッジ検出回路を構成し、インバータINV1、ANDゲートAGT2およびDフリップフロップD-FF5は、コンパレータCMP1の出力信号 V_0 の立ち下がりエッジを検出する第2のエッジ検出回路を構成している。図示のように、本実施形態において、一つの遅延回路DLY0のみを設けて、コンパレータCMP1の立ち上がりエッジおよび立ち下がりエッジの両方に対して所定の遅延時間を与える。

【0057】第1のエッジ検出回路において、ANDゲートAGT1の一方の入力端子はコンパレータCMP1の出力端子に接続され、他方の入力端子は第2のエッジ検出回路を構成するDフリップフロップD-FF5の反転出力端子Qzに接続されている。ANDゲートAGT1の出力端子は、DフリップフロップD-FF1のクロック入力端子に接続されている。DフリップフロップD-FF1の出力端子Qからスイッチ制御信号SC1が出力される。

【0058】第2のエッジ検出回路において、インバータINV1の入力端子は、コンパレータCMP1の出力端子に接続され、ANDゲートAGT2の一方の入力端子はインバータINV1の出力端子に接続され、他方の入力端子は第1のエッジ検出回路を構成するDフリップフロップD-FF1の反転出力端子Qzに接続されている。ANDゲートAGT2の出力端子は、DフリップフロップD-FF5のクロック入力端子に接続されている。DフリップフロップD-FF5の出力端子Qからスイッチ制御信号SC2が出力される。

【0059】第1のエッジ検出回路は、コンパレータCMP1の出力信号 V_0 の立ち上がりエッジを検出する。即ち、出力信号 V_0 の立ち上がりエッジに応じてDフリップフロップD-FF1の出力端子Qはローレベルからハイレベルに切り替えられる。そして、遅延回路DLY0の遅延時間において、DフリップフロップD-FF1の出力端子Qは、ハイレベルに保持されるまとなる。なお、この間DフリップフロップD-FF1の反転出力端子Qzがローレベルに保持されているので、ANDゲートAGT2の出力端子もローレベルに保持され、第2のエッジ検出回路は動作しない。

【0060】第2のエッジ検出回路は、コンパレータCMP1の出力信号 V_0 の立ち下がりエッジを検出する。即ち、出力信号 V_0 の立ち下がりエッジに応じてDフリ

ップフリップフロップD-FF5の出力端子Qはローレベルからハイレベルに切り替えられる。そして、遅延回路DLY0の遅延時間において、DフリップフロップD-FF5の出力端子Qは、ハイレベルに保持されるままとする。この間DフリップフロップD-FF5の反転出力端子Qzがローレベルに保持されているので、ANDゲートAGT1の出力端子もローレベルに保持され、第1のエッジ検出回路は動作しない。

【0061】このように、第1および第2のエッジ検出回路は、一方が動作するとき、他方の動作を禁止することができる。これによって、エッジ検出回路の誤動作を防止でき、コンパレータCMP1の入力信号 V_{in} に混入した雑音の影響を抑制することが可能である。

【0062】遅延回路DLY0は、ORゲートOGT1、ANDゲートAGT5およびDフリップフロップD-FF2、D-FF3およびD-FF4により構成されている。ORゲートOGT1の2つの入力端子は、それぞれDフリップフロップD-FF1およびD-FF5の出力端子Qに接続され、出力端子はDフリップフロップD-FF2の入力端子Dに接続されている。DフリップフロップD-FF2の出力端子Qは、DフリップフロップD-FF3の入力端子Dに接続され、その出力端子Qは、DフリップフロップD-FF4の入力端子Dに接続されている。

【0063】ANDゲートAGT5の一方の入力端子は、リセット信号RSTの入力端子に接続され、他方の入力端子は、DフリップフロップD-FF4の反転出力端子Qzに接続されている。ANDゲートAGT5の出力端子Qは、DフリップフロップD-FF1、D-FF2、D-FF3およびD-FF5のリセット信号端子に接続されている。

【0064】図4は、本実施形態の電圧比較回路の動作を説明するための波形図である。以下、図3および図4を参照しつつ、本実施形態の動作を説明する。まず、動作開始前に、リセット信号RSTが所定の時間においてローレベルに設定される。これに応じて、ANDゲートAGT5の出力信号もほぼ同じ時間においてローレベルに保持されるので、遅延回路DLY0にあるすべてのDフリップフロップD-FF2～D-FF4および第1と第2のエッジ検出回路を構成するDフリップフロップD-FF1、D-FF5がリセットされ、それぞれの出力端子Qがローレベルに保持され、反転出力端子Qzはハイレベルに保持される。

【0065】即ち、初期状態において、スイッチ制御信号SC1、SC2がともにローレベルに保持され、これに応じてNORゲートNRGT1の出力信号、即ちスイッチ制御信号SC0がハイレベルに保持されるので、基準電圧切り替え回路SWC1において、スイッチS1のみがオン状態に保持され、他のスイッチS2、S3がともにオフ状態に保持されている。このとき、電圧 V_{ref}

が比較用電圧としてコンパレータCMP1に供給される。

【0066】コンパレータCMP1において、入力信号 V_{in} と比較用電圧(電圧 V_{ref})とが比較される。図4に示すように時間 t_0 で入力信号 V_{in} のレベルが比較用電圧(電圧 V_{ref})のレベルに達する。これに応じて、コンパレータCMP1の出力信号 V_0 がローレベルからハイレベルに切り替わる。このため、ANDゲートAGT1の出力信号がローレベルからハイレベルに切り替わり、DフリップフロップD-FF1の出力端子Qは、ローレベルからハイレベルに切り替わる。即ち、第1のエッジ検出回路によってコンパレータCMP1の出力信号の立ち上がりエッジが検出され、これに応じて、スイッチ制御信号SC1がローレベルからハイレベルに切り替わるので、NORゲートNRGT1の出力信号、即ちスイッチ制御信号SC0がハイレベルからローレベルに切り替わる。

【0067】このとき、基準電圧切り替え回路SWC1において、スイッチS1がオン状態からオフ状態に切り替わり、スイッチS2がオフ状態からオン状態に切り替わる。なお、スイッチS3の状態は変化せず、オフ状態のままに保持される。この状態において、共通電位 V_{ss} が比較用電圧としてコンパレータCMP1に出力される。

【0068】DフリップフロップD-FF1の出力信号に応じて、ORゲートOGT1の出力信号がハイレベルに保持される。その後クロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF2の出力端子Qは、ローレベルからハイレベルに切り替わり、また、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF3の出力端子もローレベルからハイレベルに切り替わる。さらに、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-FF4の出力端子もローレベルからハイレベルに切り替わり、これに応じてDフリップフロップD-FF4の反転出力端子Qzはハイレベルからローレベルに切り替わる。

【0069】ANDゲートAGT5の出力信号は、DフリップフロップD-FF4の反転出力端子Qzのレベル変化に応じてハイレベルからローレベルに切り替わるので、DフリップフロップD-FF1、D-FF2およびD-FF3がリセットされる。これに応じて、スイッチ制御信号SC1がハイレベルからローレベルに切り替わられ、NORゲートNRGT1の出力信号、即ちスイッチ制御信号SC0がローレベルからハイレベルに立ち上がる。

【0070】このとき、基準電圧切り替え回路SWC1において、スイッチS2はオン状態からオフ状態に切り替わり、スイッチS1はオフ状態からオン状態に切り替わる。なお、スイッチS3の状態は変化せず、オフ状態

のままに保持される。この状態において、電圧 V_{ref} が比較用電圧としてコンパレータCMP1に供給される。

【0071】遅延回路DLY0において、DフリップフロップD-F2およびD-F3がリセットされた後、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-F4もリセットされ、その反転出力端子Qzがローレベルからハイレベルに切り替わる。

【0072】次いで、図4に示すように、時間 t_1 において、入力信号 V_{in} のレベルが降下し、比較用電圧（電圧 V_{ref} ）のレベルに達する。これに応じてコンパレータCMP1の出力信号 V_o がハイレベルからローレベルに切り替わる。このため、図3においてANDゲートAGT2の出力信号がローレベルからハイレベルに切り替わり、DフリップフロップD-F5の出力端子Qは、ローレベルからハイレベルに切り替わる。即ち、第2のエッジ検出回路によってコンパレータCMP1の出力信号の立ち下がりエッジが検出され、これに応じて、スイッチ制御信号SC2がローレベルからハイレベルに切り替わるので、NORゲートNRGT1の出力信号、即ちスイッチ制御信号SC0がハイレベルからローレベルに切り替わる。

【0073】このとき、基準電圧切り替え回路SWC1において、スイッチS1がオン状態からオフ状態に切り替わり、スイッチS3がオフ状態からオン状態に切り替わる。なお、スイッチS2の状態は変化せず、オフ状態のままに保持される。この状態において、電源電圧 V_{cc} が比較用電圧としてコンパレータCMP1に出力される。

【0074】DフリップフロップD-F5の出力信号に応じて、ORゲートOGT1の出力信号がハイレベルに保持される。その後、クロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-F2の出力端子Qは、ローレベルからハイレベルに切り替わり、また、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-F3の出力端子もローレベルからハイレベルに切り替わる。さらに、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-F4の出力端子もローレベルからハイレベルに切り替わり、これに応じてDフリップフロップD-F4の反転出力端子Qzはハイレベルからローレベルに切り替わる。

【0075】ANDゲートAGT5の出力信号は、DフリップフロップD-F4の反転出力端子Qzのレベル変化に応じてハイレベルからローレベルに切り替わるので、DフリップフロップD-F5、D-F2およびD-F3がリセットされる。これに応じて、スイッチ制御信号SC2がハイレベルからローレベルに切り替えられ、NORゲートNRGT1の出力信号、即ちスイッチ制御信号SC0がローレベルからハイレベルに立ち上

がる。

【0076】このとき、基準電圧切り替え回路SWC1において、スイッチS3はオン状態からオフ状態に切り替わり、スイッチS1はオフ状態からオン状態に切り替わる。なお、スイッチS2の状態は変化せず、オフ状態のままに保持される。この状態において、電圧 V_{ref} が比較用電圧としてコンパレータCMP1に供給される。

【0077】遅延回路DLY0において、DフリップフロップD-F2およびD-F3がリセットされた後、次のクロック信号CLKの立ち上がりエッジにおいて、DフリップフロップD-F4もリセットされ、その反転出力端子Qzがローレベルからハイレベルに切り替わる。

【0078】以上説明したように、本実施形態によれば、コンパレータCMP1は入力信号 V_{in} と基準電圧切り替え回路SWC1で設定した比較用電圧とを比較し、比較結果として信号 V_o を出力する。第1および第2のエッジ検出回路はそれぞれ出力信号 V_o の立ち上がりおよび立ち下がりエッジを検出し、検出信号に応じて遅延回路DLY0が動作し、さらにエッジ検出回路の出力信号に応じて、基準電圧切り替え回路SWC1を制御し、比較用電圧のレベルを設定するので、電圧比較回路にヒステリシス特性が付与され、入力信号 V_{in} に混入した雑音の影響を抑制でき、安定した比較結果が得られる。さらに、出力信号の時間遅延が回避され、入力信号 V_{in} のレベル変化点を正確に検出することができる。また、本実施形態は、前述した第1の実施形態に較べて、遅延回路を一つのみの有するので、回路構成が簡単化され、レイアウト面積の縮小が図れる。

【0079】なお、遅延回路DLY0を構成するDフリップフロップの段数は図3に例示した3段に限定されなくとも、雑音による影響を低減させるために必要な遅延時間をもとに、入力信号 V_{in} およびクロック信号CLKの周波数に応じて任意に設定することができる。

【0080】第3実施形態

図5は本発明に係る電圧比較回路の第3の実施形態を示す回路図である。図示のように、本実施形態の電圧比較回路は、コンパレータCMP1、基準電圧切り替え回路SWC2、遅延回路DLY1aおよびDLY2aにより構成されている。

【0081】コンパレータCMP1は、上述した本発明の第1および第2の実施形態にあるコンパレータCMP1と同様であり、入力端子(+)に印加される入力信号 V_{in} と反転入力端子(-)に印加される比較用電圧とを比較し、比較結果に応じて所定のレベルを持つ信号 V_o を出力する。例えば、入力信号 V_{in} のレベルが比較用電圧のレベルよりも高い場合、電源電圧 V_{cc} レベルの信号が出力され、逆に、入力信号 V_{in} のレベルが比較用電圧のレベルよりも低い場合、共通電位 V_{ss} レベルの信号が出力される。

【0082】基準電圧切り替え回路SWC 2は、図示のように、抵抗素子R1、R2、pMOSトランジスタPT1およびnMOSトランジスタNT1により構成されている。抵抗素子R1、R2は、電源電圧 V_{CC} と共通電位 V_{SS} との間に直列に接続されており、その接続ノードND 2の電圧は比較用電圧としてコンパレータCMP1に供給される。pMOSトランジスタPT1のソースは電源電圧 V_{CC} に接続され、ドレインはノードND2に接続され、ゲートに遅延回路DLY2 aからの切り替え信号SP1が印加されている。nMOSトランジスタNT1のドレインはノードND2に接続され、ソースは共通電位 V_{SS} に接続され、ゲートに遅延回路DLY1 aからの切り替え信号SP2が印加されている。

【0083】遅延回路DLY1 aおよびDLY2 aは、例えば、図示のように単安定マルチバイブレータOS1、OS2により構成されている。これらの単安定マルチバイブレータOS1、OS2は、入力端子Aに印加される入力信号の立ち上がりエッジまたは入力端子Bに印加される入力信号の立ち上がりエッジに応じて、出力信号Qが立ち上がる。抵抗素子とキャパシタにより設定される時定数に応じて、出力端子Qは一旦ハイレベルに保持され、その後出力端子Qが立ち下がり、ローレベルに保持される。

【0084】このため、遅延回路DLY1 aの遅延時間 Δt_1 は、抵抗素子R3とキャパシタC1の値により決定され、遅延回路DLY2 aの遅延時間 Δt_2 は、抵抗素子R4とキャパシタC2の値により決定される。遅延回路DLY1 aおよびDLY2 aの遅延時間 Δt_1 、 Δt_2 は、入力信号 V_{in} の周波数などに応じて設定される。なお、必要に応じて遅延回路DLY1 a、DLY2 aの遅延時間 Δt_1 、 Δt_2 を等しく設定できることはいうまでもない。

【0085】単安定マルチバイブレータOS1の入力端子Aは、共通電位 V_{SS} に接続され、入力端子Bは、ANDゲートAGT1の出力端子に接続されている。ANDゲートAGT1の一方の入力端子は、コンパレータCMP1の出力端子に接続され、他方の入力端子は、単安定マルチバイブレータOS2の反転出力端子Qzに接続されている。単安定マルチバイブレータOS1の出力端子Qから切り替え信号SP2が出力され、切り替え信号SP2は基準電圧切り替え回路SWC2のnMOSトランジスタNT1のゲートに印加される。

【0086】単安定マルチバイブレータOS2の入力端子Aは、ANDゲートAGT2の出力端子に接続され、

$$v_r = V_{CC} \cdot r2 / (r1 + r2) \quad \cdots (6)$$

【0092】ここで、r1、r2はそれぞれ抵抗素子R1、R2の抵抗値である。

【0093】入力信号 V_{in} のレベルが上昇し、比較用電圧（電圧 V_r ）のレベルを越えたとき、コンパレータCMP1の出力信号 V_0 がローレベルからハイレベルに切

り替わる。入力端子Bは電源電圧 V_{CC} に接続されている。ANDゲートAGT2の一方の入力端子は、インバータINV1の出力端子に接続され、他方の入力端子は、単安定マルチバイブレータOS1の反転出力端子Qzに接続されている。インバータINV1の入力端子は、コンパレータCMP1の出力端子に接続されている。単安定マルチバイブレータOS2の反転出力端子Qzから切り替え信号SP1が出力され、切り替え信号SP1は基準電圧切り替え回路SWC2のpMOSトランジスタPT1のゲートに印加される。

【0087】単安定マルチバイブレータOS1、OS2のリセット信号端子は、リセット信号RSTの入力端子に接続されている。電圧比較回路が動作を開始するとき、リセット信号RSTが所定の時間において、ローレベルに設定されるので、これに応じて単安定マルチバイブレータOS1、OS2がリセットされ、出力端子Qはローレベルに保持され、反転出力端子Qzはハイレベルに保持される。

【0088】ANDゲートAGT1はコンパレータCMP1の出力信号 V_0 の立ち上がりエッジを検出する第1のエッジ検出回路を構成し、インバータINV1およびANDゲートAGT2は出力信号 V_0 の立ち下がりエッジを検出する第2のエッジ検出回路を構成している。

【0089】図6は、本実施形態の動作を示す波形図である。以下、図4および図6を参照しつつ、本実施形態の動作を説明する。図6に示すように、初期状態としてコンパレータCMP1の出力信号 V_0 がローレベルに保持され、また、リセット信号RSTがゼロ、単安定マルチバイブレータOS1、OS2がリセットされ、単安定マルチバイブレータOS1の出力端子Qはローレベル、単安定マルチバイブレータOS2の反転出力端子Qzはハイレベルにそれぞれ保持されている。即ち、切り替え信号SP1がハイレベル、切り替え信号SP2がローレベルにそれぞれ設定されている。

【0090】この状態において、基準電圧切り替え回路SWC2において、pMOSトランジスタPT1およびnMOSトランジスタNT1がともにオフ状態に保持され、ノードND2の電圧は、抵抗素子R1、R2による分圧電圧で決まる。ここで、共通電位 V_{SS} を0Vとする、初期状態において、比較用電圧の電圧値 v_r は、次式により求まる。

【0091】

【数4】

り替わる。出力信号 V_0 の立ち上がりエッジにおいて、ANDゲートAGT1の出力信号が立ち上がる。これに応じて単安定マルチバイブレータOS1の出力端子Qもローレベルからハイレベルに切り替えられる。時間 Δt_1 の間に、単安定マルチバイブレータOS1の出力端子

Qがハイレベルに保持される。これに応じて基準電圧切り替え回路SWC2において、nMOSトランジスタNT1がオン状態に保持され、比較用電圧は共通電位 V_{SS} に設定される。

【0094】遅延回路DLY1aの遅延時間 Δt_1 が経過した後、単安定マルチバイブレータOS1の出力端子Qは、ローレベルに切り替わる。基準電圧切り替え回路SWC2においてnMOSトランジスタNT1はオフ状態に設定されるので、比較用電圧は、初期値 v_z に切り替えられる。

【0095】入力信号 V_{in} のレベルが降下し、比較用電圧(電圧 V_z)のレベルに達したとき、コンパレータCMP1の出力信号 V_o がハイレベルからローレベルに切り替わる。出力信号 V_o の立ち上がりエッジにおいて、ANDゲートAGT2の出力信号が立ち下がる。これに応じて単安定マルチバイブレータOS2の出力端子Qがローレベルからハイレベルに切り替えられ、その反転出力端子Qzはハイレベルからローレベルに切り替えられる。時間 Δt_2 の間に、単安定マルチバイブレータOS2の出力端子Qがハイレベルに保持され、反転出力端子Qzがローレベルに保持される。これに応じて基準電圧切り替え回路SWC2において、pMOSトランジスタPT1がオン状態に保持され、比較用電圧は電源電圧 V_{cc} に設定される。

【0096】遅延回路DLY2aの遅延時間 Δt_2 が経過した後、単安定マルチバイブレータOS2の出力端子Qは、ローレベルに切り替わり、反転出力端子Qzはハイレベルに切り替わる。基準電圧切り替え回路SWC2においてpMOSトランジスタPT1はオフ状態に設定されるので、比較用電圧は、初期値 v_z に切り替えられる。

【0097】以上説明したように、本実施形態によれば、コンパレータCMP1は入力信号 V_{in} と基準電圧切り替え回路SWC2で設定した比較用電圧とを比較し、比較結果として信号 V_o を出力する。ANDゲートAGT1およびAGT2によりそれぞれ出力信号 V_o の立ち上がりおよび立ち下がりエッジを検出し、立ち上がりエッジを検出したとき、遅延回路DLY1aを動作させ、立ち下がりエッジを検出したとき、遅延回路DLY2aを動作させる。これらの遅延回路から出力された切り替え信号SP1、SP2に応じて、基準電圧切り替え回路SWC2を制御し、比較用電圧のレベルを設定するので、電圧比較回路にヒステリシス特性が付与され、入力信号 V_{in} に混入した雑音の影響を抑制でき、安定した比較結果が得られる。さらに、出力信号 V_o の時間遅延が回避され、入力信号 V_{in} のレベル変化点を正確に検出することができ、また、本実施形態において、遅延回路DLY1a、DLY2aの遅延時間を制御するための外部クロック信号CLKが不要となるため、回路構成が簡単に、配線の簡単化が図れる。

【0098】第4実施形態

図7は本発明に係る電圧比較回路の第4の実施形態を示す回路図である。図示のように、本実施形態の電圧比較回路は、コンパレータCMP1、基準電圧切り替え回路SWC2および遅延回路DLY1、DLY2により構成されている。

【0099】コンパレータCMP1および遅延回路DLY1、DLY2は、前述した本発明の第1の実施形態のものと同一であり、また、基準電圧切り替え回路SWC2は、図5に示す第3の実施形態の基準電圧切り替え回路と同じである。

【0100】図7に示すように、コンパレータCMP1と基準電圧切り替え回路SWC2は、回路ブロック10を構成している。当該回路ブロック10は、端子3を介して、外部からの入力信号 V_{in} をコンパレータCMP1の端子(+)に入力し、さらに、端子1より遅延回路DLY1から切り替え信号SP1を入力し、基準電圧切り替え回路SWC2のnMOSトランジスタNT1のゲートに印加し、端子2より遅延回路DLY2から切り替え信号SP2を入力し、基準電圧切り替え回路SWC2のpMOSトランジスタPT1のゲートに印加する。なお、切り替え信号SP1は、遅延回路DLY1のDフリップフロップD-FF1の出力端子Qから出力され、切り替え信号SP2は、遅延回路DLY2のDフリップフロップD-FF5の反転出力端子Qzから出力される。

【0101】以下、図7を参照しつつ、本実施形態の動作について説明する。電圧比較回路の動作する前に、リセット信号RSTにより初期状態に設定される。即ち、遅延回路DLY1、DLY2の各DフリップフロップD-FF1～D-FF4、D-FF5～D-FF8がリセットされ、出力端子Qがローレベルに、反転出力端子Qzがハイレベルに保持される。即ち、初期状態において、切り替え信号SP1がローレベル、切り替え信号SP2がハイレベルにそれぞれ設定される。これに応じて、基準電圧切り替え回路SWC2において、pMOSトランジスタPT1およびnMOSトランジスタNT1がともにオフ状態に設定され、比較用電圧は、抵抗素子R1、R2により設定された分圧電圧 v_z に設定される。

【0102】コンパレータCMP1の立ち上がりエッジに応じて、ANDゲートAGT1の出力信号が立ち上がり、さらに、遅延回路DLY1のDフリップフロップD-FF1の出力端子Qも立ち上がる。遅延回路DLY1で設定された遅延時間において、DフリップフロップD-FF1の出力端子Qがハイレベルに保持され、その後、ローレベルに切り替えられる。

【0103】切り替え信号SP1がハイレベルに保持されている間に、基準電圧切り替え回路SWC2のnMOSトランジスタNT1がオン状態に保持され、比較用電圧は共通電位 V_{SS} に設定される。

【0104】コンパレータCMP1の立ち上がりエッジに応じて、ANDゲートAGT2の出力信号が立ち上がり、さらに、これに応じて遅延回路DLY2のDフリップフロップDFF5の出力端子Qも立ち上がる。遅延回路DLY2で設定された遅延時間において、DフリップフロップDFF5の出力端子Qがハイレベルに保持され、その後、ローレベルに切り替えられる。DフリップフロップDFF5の反転出力端子Qzは出力端子Qがハイレベルの間に、ローレベルに保持される。即ち、切り替え信号SP2は、コンパレータCMP1の出力信号の立ち上がりエッジから、遅延回路DLY2の遅延時間の間にローレベルに保持される。

【0105】切り替え信号SP2がローレベルに保持されている間に、基準電圧切り替え回路SWC2のpMOSトランジスタPT1がオン状態に保持され、比較用電圧は電源電圧 V_{CC} に設定される。

【0106】このように、遅延回路DLY1、DLY2および基準電圧切り替え回路SWC2により、電圧比較回路にヒステリシス特性が付与される。この結果、入力信号 V_{in} に混入された雑音の影響を抑制でき、電圧比較回路の誤動作を回避でき、且つ入力信号 V_{in} のレベル変化点を正確に検出できる。

【0107】図8は、コンパレータCMP1と基準電圧切り替え回路SWC2により構成された回路ブロック10を示している。なお、当該回路ブロック10は、図7に示す電圧比較回路の回路ブロック10と同じ構成を有する。

【0108】回路ブロック10においては、コンパレータCMP1が非反転接続である。即ち、入力信号 V_{in} はコンパレータCMP1の非反転入力端子(+)に印加され、基準電圧 V_{ref} はコンパレータCMP1の反転入力端子(-)に印加される。このため、入力信号 V_{in} のレベルが比較用電圧のレベルより高いとき、コンパレータCMP1からハイレベルの出力信号 V_0 が出力され、逆に入力信号 V_{in} のレベルが比較用電圧のレベルより低いとき、コンパレータCMP1からローレベルの出力信号 V_0 が出力される。

【0109】非反転接続の場合に、コンパレータCMP1の出力信号 V_0 の立ち上がりエッジから所定の時間において、比較用電圧を初期値より低いレベル、例えば、共通電位 V_{SS} に設定し、コンパレータCMP1の出力信号 V_0 の立ち下がりエッジから所定の時間において、比較用電圧を初期値より高いレベル、例えば、電源電圧 V_{CC} に設定することにより、電圧比較回路にヒステリシス特性を付与できる。

【0110】図9は、反転接続の場合のコンパレータCMP2および基準電圧切り替え回路SWC3の構成を示している。コンパレータCMP2、基準電圧切り替え回路SWC3およびインバータINV3、INV4により回路ブロック20が構成されている。

【0111】図示のように、入力信号 V_{in} はコンパレータCMP2の反転入力端子(-)に印加され、比較用電圧はコンパレータCMP2の非反転入力端子(+)に印加される。このため、入力信号 V_{in} のレベルが基準電圧レベルより高いとき、コンパレータCMP2からローレベルの出力信号 V_0 が出力され、逆に入力信号 V_{in} のレベルが基準電圧レベルより低いとき、コンパレータCMP2からハイレベルの出力信号 V_0 が出力される。

【0112】非反転接続の場合に、コンパレータCMP2の出力信号 V_0 の立ち上がりエッジから所定の時間において、比較用電圧を初期値より高いレベル、例えば、電源電圧 V_{CC} に設定し、コンパレータCMP2の出力信号 V_0 の立ち下がりエッジから所定の時間において、比較用電圧を初期値より低いレベル、例えば、共通電位 V_{SS} に設定することにより、電圧比較回路にヒステリシス特性を付与できる。

【0113】なお、図9に示す回路ブロック20に接続される遅延回路DLY1、DLY2は、図7に示す遅延回路と同じ構成を有するものとする。初期状態において、切り替え信号SP1はローレベル、切り替え信号SP2はハイレベルにそれぞれ設定されるので、インバータINV2、INV3の出力端子はそれぞれハイレベルとローレベルに設定される。このため、基準電圧切り替え回路SWC3のpMOSトランジスタPT1およびnMOSトランジスタNT1がともにおく状態に設定される。このとき、比較用電圧は、抵抗素子R1、R2により設定された分圧電圧に設定される。

【0114】入力信号 V_{in} のレベルが降下し、比較用電圧のレベルに達したとき、コンパレータCMP2の出力信号 V_0 がローレベルからハイレベルに立ち上がる。出力信号 V_0 の立ち上がりエッジから遅延回路DLY1の遅延時間において、切り替え信号SP1がハイレベルに設定される。これに応じてインバータINV2の出力信号がローレベルに設定されるので、基準電圧切り替え回路SWC3のpMOSトランジスタPT1がオン状態に設定され、比較用電圧 V_{ref} は電源電圧 V_{CC} に設定される。

【0115】逆に、入力信号 V_{in} のレベルが上昇し、比較用電圧 V_{ref} のレベルを越えたとき、コンパレータCMP2の出力信号 V_0 がハイレベルからローレベルに立ち下がる。出力信号 V_0 の立ち下がりエッジから遅延回路DLY2の遅延時間において、切り替え信号SP2がローレベルに設定される。これに応じてインバータINV3の出力信号がハイレベルに設定されるので、基準電圧切り替え回路SWC3のnMOSトランジスタNT1がオン状態に設定され、比較用電圧 V_{ref} は共通電位 V_{SS} に設定される。

【0116】このように、回路ブロック20により、反転接続の電圧比較回路にヒステリシス特性を与えることができる。反転接続の場合において、入力信号 V_{in} に混

入された雑音の影響を抑制でき、回路の誤動作を防止でき、入力信号のレベル変化点を高精度に検出することが可能である。

【0117】

【発明の効果】以上説明したように、本発明の電圧比較回路によれば、電圧比較回路の出力信号レベルの変化に応じて、所定の時間だけ電圧比較回路にヒステリシス特性を付与することにより、検出対象信号に混入された雑音の影響を抑制でき、検出対象信号が所定の基準値を通過するレベル変化点を高精度に検出することが可能となる。これにより、検出対象信号の立ち上がりおよび立ち下がりとの位相関係が重要な場合に本発明の電圧比較回路を適用することで、従来の電圧比較回路のヒステリシス特性に起因する信号遅延が解消でき、高精度な制御を実現できる利点がある。

【図面の簡単な説明】

【図1】本発明に係る電圧比較回路の第1の実施形態を示す回路図である。

【図2】第1の実施形態の動作を示す波形図である。

【図3】本発明に係る電圧比較回路の第2の実施形態を示す回路図である。

【図4】第2の実施形態の動作を示す波形図である。

【図5】本発明に係る電圧比較回路の第3の実施形態を示す回路図である。

【図6】第3の実施形態の動作を示す波形図である。

【図7】本発明に係る電圧比較回路の第4の実施形態を示す回路図である。

【図8】非反転接続の電圧比較回路の基準電圧切り替え回路およびコンパレータ部分の構成を示す回路図であ

る。

【図9】反転接続の電圧比較回路の基準電圧切り替え回路およびコンパレータ部分の構成を示す回路図である。

【図10】一般的な電圧比較回路の構成を示す回路図である。

【図11】一般的な電圧比較回路の動作を示す波形図である。

【図12】入力信号に雑音が混入した場合の電圧比較回路の動作を示す波形図である。

【図13】入力信号が上昇して基準電圧を通過した前後の入力および出力信号の波形を示す拡大図である。

【図14】入力信号が降下して基準電圧を通過した前後の入力および出力信号の波形を示す拡大図である。

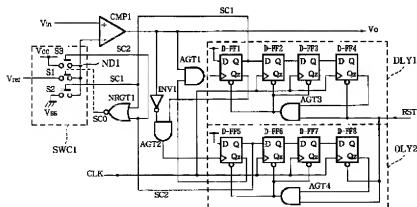
【図15】ヒステリシス特性が付与された電圧比較回路の一例を示す図である。

【図16】ヒステリシス特性が付与された電圧比較回路の他の例を示す図である。

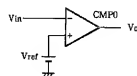
【符号の説明】

10、20…基準電圧切り替え回路とコンパレータで構成した回路ブロック、CMP0、CMP0'、CMP1、CMP2…コンパレータ、D-FF1～D-FF8…Dフリップフロップ、NRGT1…NORゲート、AGT1～AGT5…ANDゲート、INV1、INV2、INV3…インバータ、S1、S2、S3…スイッチ、OGT1…ORゲート、DLY0、DLY1、DLY2、DLY1a、DLY2a…遅延回路、OS1、OS2…単安定マルチバイブレータ、PT1…pMOSトランジスタ、NT1…nMOSトランジスタ、R1、R2、R3、R4…抵抗素子、C1、C2…キャパシタ。

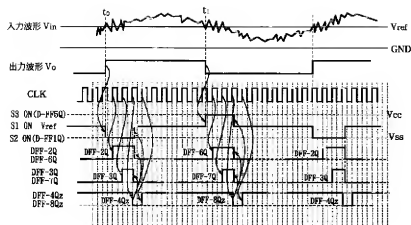
【図1】



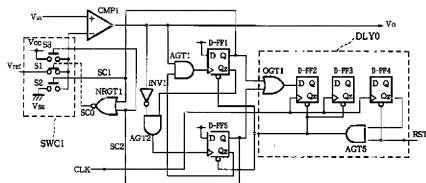
【図10】



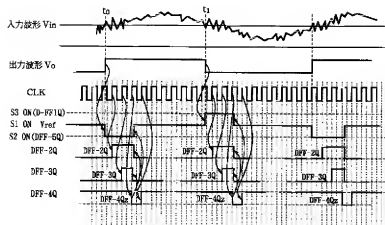
【図2】



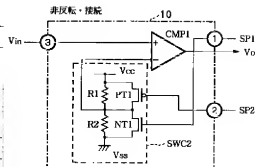
【図3】



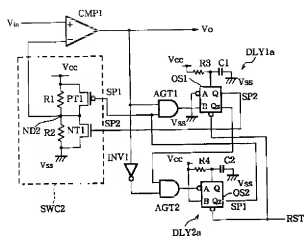
【図4】



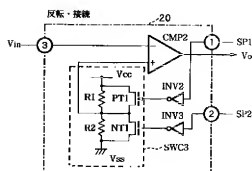
【図8】



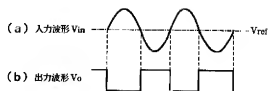
【図5】



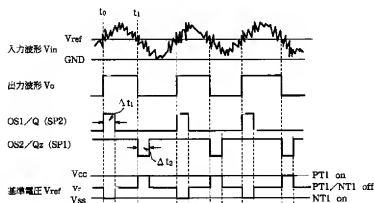
【図9】



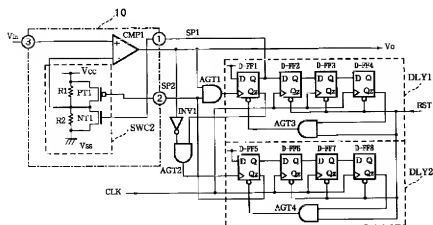
【図11】



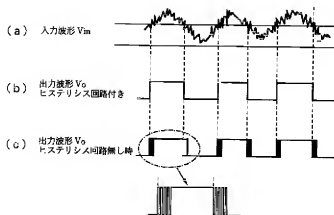
【図6】



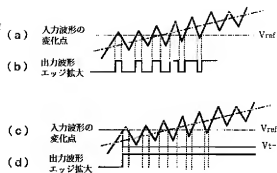
【図7】



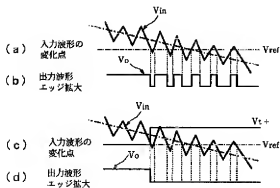
【図12】



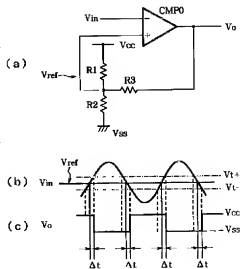
【図13】



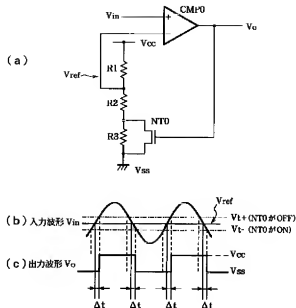
【図14】



【図15】



【図16】



【手続補正書】

【提出日】平成11年4月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 入力信号と比較用信号とを比較し、上記入力信号が上記比較用信号よりも大きい場合に第1のレベルの出力信号を出力し、上記入力信号が上記比較用信号よりも小さい場合に第2のレベルの出力信号を出力する比較回路と、

上記出力信号が第1のレベルから第2のレベルに変化したことを検出する第1の検出回路と、

上記出力信号が第2のレベルから第1のレベルに変化したことを検出する第2の検出回路と、

上記第1又は第2の検出回路の検出結果に応じて、所定の期間を計測するタイマ回路と、

上記比較用信号のレベルを第1の基準値、第2の基準値または第3の基準値に設定する比較用信号設定回路とを有し、

上記比較用信号は、上記第1の検出回路または上記第2の検出回路の検出結果に応じて上記第1の基準値または上記第3の基準値に設定され、その後上記所定の期間が経過すると上記第2の基準値に設定される電圧比較回路。

【請求項2】 入力信号と比較用信号とを比較し、上記

入力信号が上記比較用信号よりも大きい場合に第1のレベルの出力信号を出力し、上記入力信号が上記比較用信号よりも小さい場合に第2のレベルの出力信号を出力する比較回路と、

上記出力信号が第1のレベルから第2のレベルに変化したことを検出する第1の検出回路と、

上記出力信号が第2のレベルから第1のレベルに変化したことを検出する第2の検出回路と、

上記第1又は第2の検出回路の検出結果に応じて、第1の時間又は第2の時間を計測するタイマ回路と、

上記比較用信号のレベルを第1の基準値、第2の基準値又は第3の基準値に設定する比較用信号設定回路と、

を有し、上記比較用信号は、上記第1の検出回路の検出結果に応じて上記第1の基準値に設定され、その後上記

第1の時間が経過すると上記第2の基準値に設定され、上記第2の検出回路の検出結果に応じて上記第3の基準値に設定され、その後上記第2の時間が経過すると上記

第2の基準値に設定される電圧比較回路。

【請求項3】 上記第1の基準値は上記第2の基準値よりも大きく、上記第2の基準値は上記第3の基準値よりも大きい請求項1又は2に記載の電圧比較回路。

【請求項4】 上記第1の基準値は電源電圧であり、上記第3の基準値は基準電位であり、上記第2の基準値は、上記第1の基準値と上記第3の基準値とのほぼ中間の電位である請求項1、2又は3に記載の電圧比較回路。

【請求項5】 上記タイマ回路は上記出力信号を入力する遅延回路を有する請求項1、2、3又は4に記載の電圧

比較回路。

【請求項6】上記遅延回路は直列に接続された複数のフリップフロップを有する請求項5に記載の電圧比較回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の電圧比較回路は、入力信号と比較用信号とを比較し、上記入力信号が上記比較用信号よりも大きい場合に第1のレベルの出力信号を出力し、上記入力信号が上記比較用信号よりも小さい場合に第2のレベルの出力信号を出力する比較回路と、上記出力信号が第1のレベルから第2のレベルに変化したことを検出する第1の検出回路と、上記出力信号が第2のレベルから第1のレベルに変化したことを検出する第2の検出回路と、上記第1又は第2の検出回路の検出結果に応じて、所定の期間を計測するタイマ回路と、上記比較用信号のレベルを第1の基準値、第2の基準値または第3の基準値に設定する比較用信号設定回路とを有し、上記比較用信号は、上記第1の検出回路または上記第2の検出回路の検出結果に応じて上記第1の基準値または上記第3の基準値に設定され、その後上記所定の期間が経過すると上記第2の基準値に設定される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】また、本発明の第2の電圧比較回路は、入力信号と比較用信号とを比較し、上記入力信号が上記比較用信号よりも大きい場合に第1のレベルの出力信号を出力し、上記入力信号が上記比較用信号よりも小さい場合に第2のレベルの出力信号を出力する比較回路と、上記出力信号が第1のレベルから第2のレベルに変化したことを検出する第1の検出回路と、上記出力信号が第2のレベルから第1のレベルに変化したことを検出する第2の検出回路と、上記第1又は第2の検出回路の検出結果に応じて、第1の時間又は第2の時間を計測するタイマ回路と、上記比較用信号のレベルを第1の基準値、第2の基準値又は第3の基準値に設定する比較用信号設定回路とを有し、上記比較用信号は、上記第1の検出回路の検出結果に応じて上記第1の基準値に設定され、その後上記第1の時間が経過すると上記第2の基準値に設定され、上記第2の検出回路の検出結果に応じて上記第3の基準値に設定され、その後上記第2の時間が経過すると上記第2の基準値に設定される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】また、本発明では、好適には、上記第1の基準値は上記第2の基準値よりも大きく、上記第2の基準値は上記第3の基準値よりも大きい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】更に、本発明では、好適には、上記第1の基準値は電源電圧であり、上記第3の基準値は基準電位であり、上記第2の基準値は、上記第1の基準値と上記第3の基準値とのほぼ中間の電位である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】更に、本発明では、好適には、上記タイマ回路は上記出力信号を入力する遅延回路を有する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】更に、本発明では、好適には、上記遅延回路は直列に接続された複数のフリップフロップを有する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】このように、入力信号 V_{in} のレベルが比較用電圧（電圧 V_{ref} ）のレベルを越えたとき、基準電圧切り替え回路SWC1により、比較用電圧は共通電位 V_{SS} レベルに設定され、遅延回路DLY1により、クロック信号CLKの約3周期分の時間において、比較用電圧は共通電位 V_{SS} に保持され、その後再び初期値 v_{ref} に設定される。同様に、入力信号 V_{in} のレベルが比較用電圧（電圧 V_{ref} ）のレベルより低くなったとき、比較用電圧は電源電圧 V_{CC} レベルに設定され、遅延回路DLY2により、クロック信号CLKの約3周期分の時間において、比較用電圧は電源電圧 V_{CC} に保持され、その後再び初期値 v_{ref} に設定される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正内容】

【0054】なお、図1に示す回路例においては、遅延回路DLY1、DLY2はそれぞれ4段のDフリップフロップにより構成されているが、本発明はこれに限定されるものではなく、遅延回路を構成するDフリップフロップの段数を、雑音による影響を低減させるために必要な遅延時間をもとに、入力信号 V_{in} およびクロック信号CLKの周波数に応じて任意に設定することができる。さらに、必要に応じて任意にコンパレータの出力信号の立ち上がりエッジおよび立ち下がりエッジに応じて動作する遅延回路DLY1およびDLY2の遅延時間を異なるように設定することも可能である。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0114

【補正方法】変更

【補正内容】

【0114】入力信号 V_{in} のレベルが低下し、比較用電圧のレベルに達したとき、コンパレータCMP2の出力

信号 V_0 がローレベルからハイレベルに立ち上がる。出力信号 V_0 の立ち上がりエッジから遅延回路DLY1の遅延時間において、切り替え信号SP1がハイレベルに設定される。これに応じてインバータINV2の出力信号がローレベルに設定されるので、基準電圧切り替え回路SWC3のpMOSトランジスタPT1がオン状態に設定され、比較用電圧は電源電圧 V_{CC} に設定される。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0115

【補正方法】変更

【補正内容】

【0115】逆に、入力信号 V_{in} のレベルが上昇し、比較用電圧のレベルを越えたとき、コンパレータCMP2の出力信号 V_0 がハイレベルからローレベルに立ち下がる。出力信号 V_0 の立ち下がりエッジから遅延回路DLY2の遅延時間において、切り替え信号SP2がローレベルに設定される。これに応じてインバータINV3の出力信号がハイレベルに設定されるので、基準電圧切り替え回路SWC3のnMOSトランジスタNT1がオン状態に設定され、比較用電圧は共通電位 V_{SS} に設定される。